

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2002年11月22日

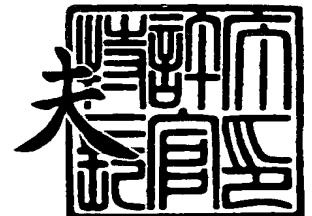
出願番号
Application Number: 特願2002-340044
[ST. 10/C]: [JP2002-340044]

出願人
Applicant(s): シャープ株式会社

2003年10月14日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3084390



【書類名】 特許願

【整理番号】 02J02416

【提出日】 平成14年11月22日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 19/00
G11C 19/28
G09G 3/20
G09G 3/36

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 前田 和宏

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 鷺尾 一

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 松田 英二

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 村上 祐一郎

【特許出願人】

【識別番号】 000005049

【氏名又は名称】 シャープ株式会社

**【代理人】****【識別番号】** 100080034**【弁理士】****【氏名又は名称】** 原 謙三**【電話番号】** 06-6351-4384**【選任した代理人】****【識別番号】** 100113701**【弁理士】****【氏名又は名称】** 木島 隆一**【選任した代理人】****【識別番号】** 100115026**【弁理士】****【氏名又は名称】** 圓谷 徹**【選任した代理人】****【識別番号】** 100116241**【弁理士】****【氏名又は名称】** 金子 一郎**【手数料の表示】****【予納台帳番号】** 003229**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【包括委任状番号】** 0208489**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 シフトレジスタブロック、それを備えたデータ信号線駆動回路及び表示装置

【特許請求の範囲】

【請求項 1】

入力信号をクロック信号に応じて出力する複数の単位回路が縦続接続されてなり、各単位回路にて構成される出力段より選択信号を順次出力するシフトレジスタを少なくとも 1 系列備えたシフトレジスタブロックにおいて、

当該系列のシフトレジスタを構成する単位回路とは異なる別の回路を隔てて、前の出力段を構成する単位回路と次の出力段を構成する単位回路とが配置されていることを特徴とするシフトレジスタブロック。

【請求項 2】

上記別の回路が、当該系列のシフトレジスタを構成する単位回路からの出力が入力されて該出力を扱う処理回路であることを特徴とする請求項 1 に記載のシフトレジスタブロック。

【請求項 3】

上記別の回路が、系列の異なるシフトレジスタを構成する単位回路であることを特徴とする請求項 1 に記載のシフトレジスタブロック。

【請求項 4】

上記別の回路が、当該系列のシフトレジスタを構成する単位回路からの出力が入力されて該出力を扱う処理回路、系列の異なるシフトレジスタを構成する単位回路、及び該系列の異なるシフトレジスタを構成する単位回路の出力が入力されて該出力を扱う処理回路であることを特徴とする請求項 1 に記載のシフトレジスタブロック。

【請求項 5】

各系列のシフトレジスタに関連する信号線経路が、複数系列のシフトレジスタを構成する単位回路列の両側に位置するように、系列間で振り分けて設けられていることを特徴とする請求項 3 又は 4 に記載のシフトレジスタブロック。

【請求項 6】

シフトレジスタブロックを備え、該シフトレジスタブロックより順次出力される選択信号を用いて複数の信号線を駆動する信号線駆動回路において、

上記請求項 1～5 の何れかに記載のシフトレジスタブロックを備えていることを特徴とする信号線駆動回路。

【請求項 7】

複数のデータ信号線を駆動するデータ信号線駆動回路であって、シフトレジスタより順次出力される選択信号に基づいて、映像信号より各データ信号線に転送すべき映像データをサンプリングするサンプリング部を有するデータ信号線駆動回路において、

上記請求項 1～5 の何れかに記載のシフトレジスタブロックを備えていることを特徴とするデータ信号線駆動回路。

【請求項 8】

上記サンプリング部が、データ信号線の配列順に応じて分割された各分割映像信号に対して同じタイミングで映像データをサンプリングすることを特徴とする請求項 7 に記載のデータ線駆動回路。

【請求項 9】

映像信号がアナログ信号であり、上記処理回路が、波形整形回路、バッファ回路、サンプリング回路、及びレベルシフト回路のうちの少なくとも何れか 1 つからなることを特徴とする請求項 7 又は 8 に記載のデータ信号線駆動回路。

【請求項 10】

映像信号がデジタル信号であり、上記処理回路が、データラッチ回路、デジタル／アナログ変換回路、出力回路、レベルシフト回路、及びデコード回路のうちの少なくとも何れか 1 つからなることを特徴とする請求項 7 又は 8 に記載のデータ信号線駆動回路。

【請求項 11】

複数のデータ信号線と、

上記各データ信号線と交差するように配置された複数の走査信号線と、

上記データ信号線及び走査信号線の組み合わせに対応して配置された画素と、

上記各走査信号線を駆動する走査信号線駆動回路と、

上記各データ信号線に対応して設けられたサンプリング部のサンプリング結果に応じた信号を、上記データ信号線に出力するデータ信号線駆動回路とを備え、
上記データ信号線駆動回路が請求項 7、8、9 又は 10 に記載のデータ信号線駆動回路であることを特徴とする表示装置。

【請求項 1 2】

上記データ信号線駆動回路と走査信号線駆動回路とが、上記画素と同一の基板上に形成されていることを特徴とする請求項 1 1 に記載の表示装置。

【請求項 1 3】

上記画素、上記データ信号線駆動回路、及び走査信号線駆動回路を構成する能動素子が、多結晶シリコン薄膜トランジスタであることを特徴とする請求項 1 2 に記載の表示装置。

【請求項 1 4】

上記能動素子が、6 0 0 ℃以下のプロセスで、ガラス基板上に形成されていることを特徴とする請求項 1 3 に記載の表示装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、例えば、アクティブマトリックス方式で駆動される表示装置に好適な、シフトレジスタブロック、及びそれを備えたデータ信号線駆動回路、表示装置に関するものである。

【0 0 0 2】

【従来の技術】

近年、薄膜トランジスタ（T F T）等を用いたアクティブマトリックス型の画像表示装置（表示装置）が、高画質な表示装置として注目されている。

【0 0 0 3】

ここで、まず、本発明の説明図である図 2 を参照して、アクティブマトリックス型の画像表示装置について説明する。

【0 0 0 4】

該画像表示装置は、図 2 に示すように、マトリックス状に配された複数の画素

8…を有する画素アレイ 2、画素アレイ 2 のデータ信号線 S L…を駆動するデータ信号線駆動回路 3、画素アレイ 2 の走査信号線 G L…を駆動する走査信号線駆動回路 4、両駆動回路 3・4 へ電力を供給する電源回路 5、及び両駆動回路 3・4 へ制御信号を供給する制御回路 6 を備えている。

【0005】

画素アレイ 2 には、上記した複数の画素 8…と共に、複数のデータ信号線 S L…と、これらデータ信号線 S L に交差する複数の走査信号線 G L…とが設けられており、各データ信号線 S L と各走査信号線 G L との組み合わせに対応して、上記画素 8 が配設されている。

【0006】

制御回路 6 は、画素アレイ 2 に表示すべき画像を示す映像信号 D A T を出力する。ここで、映像信号 D A T は、画像の各画素 8 の表示状態を示す映像データ D…が時分割で伝送されてなる。上記制御回路 6 は、映像信号 D A T と共に、映像信号 D A T を画素アレイ 2 に正しく表示するためのタイミング信号として、クロック信号 S C K およびスタートパルス信号 S S P を、データ信号線駆動回路 3 に出力し、クロック信号 G C K およびスタートパルス信号 G S P を、走査信号線駆動回路 4 に出力する。

【0007】

走査信号線駆動回路 4 は、上記クロック信号 G C K などのタイミング信号に同期して、複数の走査信号線 G L…を順次選択する。また、データ信号線駆動回路 3 は、上記クロック信号 S C K などのタイミング信号に同期して動作して、各データ信号線 S L に応じたタイミングを特定する。そしてさらに、各タイミングで上記映像信号 D A T をサンプリングし、サンプリング結果に応じた信号を、各データ信号線 S L に書き込む。

【0008】

一方、各画素 8 は、それぞれに対応する走査信号線 G L が選択されている間（水平期間）に、それぞれに対応するデータ信号線 S L に出力されたデータに応じて、それぞれの明るさを制御する。これにより、画素アレイ 2 には、映像信号 D A T が示す画像が表示される。

【0009】

次に、上記データ信号線駆動回路の回路構成について説明する。データ信号線駆動回路は、扱う映像信号DATがアナログ信号である場合と、デジタル信号である場合とで異なるが、何れの場合も、シフトレジスタと、該シフトレジスタの各段より順次出力される選択信号がそれぞれ入力され、該出力に対して処理を扱う複数の波形処理回路（処理回路）とからなる。

【0010】

シフトレジスタは、入力パルスを別途入力されるクロック信号に応じて出力する複数のフリップフロップ（単位回路）が縦続接続されてなる構成であり、各フリップフロップがシフトレジスタの1つの出力段を構成する。シフトレジスタにスタートパルス信号（入力信号）が入力されると、その入力側1段目のフリップフロップを初段として、各段がスタートパルス信号をクロック信号のタイミングで順次出力していく。

【0011】

図17に、1系列のシフトレジスタsrが備えられたデータ信号線駆動回路における従来のレイアウトを示す。

【0012】

該図に示すように、各データ信号線SLの配列に対応して、フリップフロップF/Fが1つ配設されている。ここでは、n本のデータ信号線SLに対応して、フリップフロップF/F(1)・F/F(2)・…・F/F(n)が一直線状に配され、縦続接続されている。つまり、クロック信号（制御信号）SCKが、各フリップフロップF/Fに共通して入力されると共に、初段のフリップフロップF/F(1)の入力端子INにスタートパルス信号（制御信号）SSPが入力され、フリップフロップ回路F/F(1)の出力端子OUTからの出力が、次段のフリップフロップ回路F/F(2)の入力端子INと、波形処理回路WR(1)の入力端子INとに入力されている。また、2段目のフリップフロップ回路F/F(2)の出力端子OUTからの出力が、3段目のフリップフロップ回路F/F(3)の入力端子INと、波形処理回路WR(2)の入力端子INとに入力され、以降、同様である。

【0013】

そして、該シフトレジスタの各フリップフロップ F/F より出力される信号が入力される複数の波形処理回路 $WR(1) \cdot WR(2) \cdot \dots \cdot WR(n)$ は、対応するフリップフロップ F/F のデータ信号線 SL の線方向、つまり、データ信号線 SL の始端に近い側に配されている。

【0014】

これら1つのフリップフロップ F/F とこれに対応する1つの波形処理回路 WR とで、1本のデータ信号線 SL を駆動する回路ブロックが構成されている。なお、以下、本明細書においては、各データ信号線 SL の配列方向、つまり走査信号線 GL の線方向を水平方向とし、これに直交する方向である、データ信号線 SL の線方向を垂直方向と称する。

【0015】

一方、データ信号線駆動回路においては、シフトレジスタを複数系列として、各系列のシフトレジスタの出力段数、つまり、フリップフロップ F/F の数を少なくした構成のものもある。本明細書では、シフトレジスタの系列数に関わらず、全体として必要な出力段数を確保し得るシフトレジスタの集まりを、シフトレジスタブロックと定義する。

【0016】

シフトレジスタを複数系列とする目的の1つは、駆動回路の駆動周波数を下げるためである。例えば、シフトレジスタを2系列とすることで、駆動周波数を $1/2$ にできる。

【0017】

図18に、シフトレジスタを2系列備えた構成のデータ信号線駆動回路における従来のレイアウトを示す。該図に示すように、フリップフロップ $F/F1(1) \cdot F/F1(2) \cdot \dots \cdot F/F1(m)$ よりなり、制御信号としてクロック信号 $CLK1$ とスタートパルス信号 $SP1$ とが入力される第1系列のシフトレジスタ $sr1$ と、フリップフロップ $F/F2(1) \cdot F/F2(2) \cdot \dots \cdot F/F2(m)$ よりなり、制御信号としてクロック信号 $CLK2$ とスタートパルス信号 $SP2$ とが入力される第2系列のシフトレジスタ $sr2$ とは、垂直方向に並ぶ

ように配置されている。

【0018】

そして、第1系列のシフトレジスタ s_r1 を構成するフリップフロップ $F/F1(1) \sim F/F1(m)$ からの出力が入力される複数の波形処理回路 $WR1(1) \sim WR1(m)$ が、第1系列のシフトレジスタ s_r1 と第2系列のシフトレジスタ s_r2 との間に配され、同様に、第2系列のシフトレジスタ s_r2 を構成するフリップフロップ $F/F2(1) \sim F/F2(m)$ からの出力が入力される複数の波形処理回路 $WR2(1) \sim WR2(m)$ は、第2の系列のシフトレジスタと平行を成すように配されている。

【0019】

また、このようなデータ信号線駆動回路においてシフトレジスタを複数系列とする構成は、駆動周波数を低減させることを目的とする以外に、欠陥に備えた冗長回路として、正規のシフトレジスタに加えて冗長のシフトレジスタを備えさせておくといった目的等でも用いられている（例えば、特許文献1参照）。

【0020】

さらに、従来、アクティブマトリックス型の表示装置では、映像信号を分割して分割映像信号を生成し、複数の映像信号線に伝送される分割映像信号を同時にサンプリングするといった駆動方法もある（例えば、特許文献2参照）。

【0021】

このような駆動は相展開と称されており、図19を用いて説明する。映像信号 DAT を分割しない相展開無しの構成では、赤（R）緑（G）青（B）の3画素を1セットとして、1セットごとに回路ブロックが1つ必要となる。ここでは、1つのフリップフロップ F/F とこれに対応する1つの波形処理回路 WR とからなる前述の回路ブロック1つの出力によって、上記3画素が1セットとして同時に駆動される。

【0022】

これに対し、映像信号を2分割する2相展開では、相展開を行わない構成に比べて、映像信号線の本数は2倍になるものの、RGB3画素を1セットとして駆動するデータ信号線 SL を2セット同じタイミングでサンプリングできるので、

回路ブロックは2セットに1つ配すればよくなる。

【0023】

そして、4相展開では、RGB3画素を1セットとして駆動するデータ信号線SLを4セット同じタイミングでサンプリングできるので、回路ブロックは4セットに1つ配すればよくなり、8相展開では、8セットに1つ配すればよくなる。

【0024】

このように、相展開することで、分割数に応じて映像信号線の本数は増加するものの、分割数分の複数セットを1つの回路ブロックにて駆動できるため、1つの回路ブロックに割り当てられる、画素ピッチから規定される水平方向のスペースを広くとることができる上、サンプリング周波数の低減も可能となる。

【0025】

【特許文献1】

特開平8-212793号公報（1996年8月20日公開）

【0026】

【特許文献2】

特開平11-24632号公報（1999年1月29日公開）

【0027】

【発明が解決しようとする課題】

上述したように、データ信号線駆動回路においては、映像信号を分割する相展開が採用されるようになってきている。相展開を行うことで、複数のデータ信号線SL…が同時に駆動されるため、回路ブロックを配するための配置スペースが、水平方向において広がる。図19よりわかるように、2相展開では2倍に、4層展開では4倍に、8層展開では8倍に広がる。

【0028】

しかしながら、従来、データ信号線駆動回路においては、シフトレジスタsrの出力を扱う各波形処理回路WRは、シフトレジスタsrの出力側（図17参照）、つまり、垂直方向に順次配置していく構成が採用されているため、せっかく相展開することで広がった水平方向スペースは何等有効に利用されておらず、無

駄なスペースとなっている。

【0029】

さらに、複数系列のシフトレジスタ $s r 1 \cdot s r 2$ を垂直方向に並べて配置する構成では（図18参照）、系列の違いにてデータ信号線 $S L$ との距離に差が生じてしまい、シフトレジスタ出力の遅延（遅延時間）にバラツキが生じてしまう。このような遅延のバラツキは、表示品位を低下させる。

【0030】

なお、このような遅延のバラツキは、各シフトレジスタ $s r 1 \cdot s r 2$ に入力されるクロック信号 $S C K$ 等を加工することで揃えることもできる。しかしながら、回路構成が複雑となり、回路規模を増大させてしまうため望ましくない。

【0031】

本発明は、このような課題に鑑み成されたものであって、第1の目的は、表示装置の額縁部をより狭くし得るシフトレジスタブロック、及びそれを備えたデータ信号線駆動回路を提供し、より狭額縁の表示装置を提供することにある。

【0032】

また、第2の目的は、シフトレジスタが複数系列備えられる構成において、系列間におけるシフトレジスタ出力の遅延のバラツキを抑制して、回路構成を複雑化することなく同時に遅延の問題も解決することができるシフトレジスタブロック、及びそれを備えたデータ信号線駆動回路を提供し、狭額縁であると共に、表示品位の高い表示装置を提供することにある。

【0033】

【課題を解決するための手段】

本発明のシフトレジスタブロックは、上記課題を解決するために、入力信号をクロック信号に応じて出力する複数の単位回路が縦続接続されてなり、各単位回路にて構成される出力段より選択信号を順次出力するシフトレジスタを少なくとも1系列備えたシフトレジスタブロックにおいて、当該系列のシフトレジスタを構成する単位回路とは異なる別の回路を隔てて、前の出力段を構成する単位回路と次の出力段を構成する単位回路とが配置されていることを特徴としている。

【0034】

ここで、上記別の回路としては、例えば、当該系列のシフトレジスタを構成する単位回路からの出力が入力されて該出力を扱う処理回路、或いは、系列の異なるシフトレジスタを構成する単位回路とできる。

【0035】

上記構成では、縦続接続されて1系列のシフトレジスタを構成する複数の単位回路における単位回路間に、当該シフトレジスタの動作とは関わりない、別の回路が配置されることとなる。

【0036】

したがって、このようなシフトレジスタブロックの構成を採用することで、従来の構成であれば、単位回路の配列方向であるシフトレジスタの出力側に、シフトレジスタに沿うように並置されるその他の回路群が、単位回路間に分散して配置されるので、従来のシフトレジスタブロックの構成を採用した場合よりも、シフトレジスタの出力方向に必要とするレイアウト面積を削減することが可能となる。

【0037】

特にこの場合、1系列のシフトレジスタを構成する単位回路間に、異なる系列のシフトレジスタを構成する単位回路を配することで、系列の異なるシフトレジスタが同一直線上に設けられることとなる。したがって、系列の異なるシフトレジスタを、各シフトレジスタの出力方向に並べて配置した構成のように、出力信号を供給する距離の差にて、各シフトレジスタの出力信号間で、遅延のバラツキが生じるようなことがない。

【0038】

また、上記別の回路としては、当該系列のシフトレジスタを構成する単位回路からの出力が入力されて該出力を扱う処理回路、系列の異なるシフトレジスタを構成する単位回路、及び該系列の異なるシフトレジスタを構成する単位回路の出力が入力されて該出力を扱う処理回路とすることもできる。

【0039】

このような構成では、複数系列のシフトレジスタが一直線状に配されると共に、これらシフトレジスタを構成する各単位回路からの出力信号を扱う処理回路も

一直線上に配されるので、該シフトレジスタブロックの構成を採用することで、系列の異なるシフトレジスタ間での出力信号の遅延バラツキの問題もなく、かつ、シフトレジスタの出力方向に必要とするレイアウト面積をより効果的に削減することが可能となる。

【0040】

さらに、本発明のシフトレジスタブロックにおいては、各系列のシフトレジスタに関連する信号線経路が、複数系列のシフトレジスタを構成する単位回路列の両側に位置するように、系列間で振り分けて設けられている構成とすることが好ましい。

【0041】

複数系列のシフトレジスタが一直線状に配置された構成では、各系列の単位回路同士を繋ぐ信号線が交差するため、該交差箇所に寄生容量が発生することとなるが、このように、複数系列のシフトレジスタを構成する単位回路列の両側に、系列間で信号線を振り分けることで、寄生容量の原因となる信号線の交差部を少なくすることができ、寄生容量による相互影響を最小にできる。

【0042】

また、交差部が増えるということは、複数のメタル層を接続するコンタクト領域も増加することを意味しており、これは、レイアウト面積の増大を招くことにつながる。したがって、交差部を少なくすることで、水平方向及び垂直方向のスペースを有効に利用でき、さらなる狭額縁化が図れる。

【0043】

また、本発明の信号線駆動回路は、上記課題を解決するために、シフトレジスタブロックを備え、該シフトレジスタブロックより順次出力される選択信号を用いて複数の信号線を駆動する信号線駆動回路において、上記した本発明のシフトレジスタブロックを備えていることを特徴としている。

【0044】

既に説明したように、本発明のシフトレジスタブロックは、シフトレジスタの出力方向に必要とするレイアウト面積を効果的に削減することが可能であり、また、シフトレジスタが複数系列である場合は、系列の異なるシフトレジスタ間で

の出力信号の遅延バラツキの問題をも解決し得るものである。

【0045】

したがって、このようなシフトレジスタブロックを備えた信号線駆動装置を、表示装置の走査信号線駆動回路やデータ信号線駆動回路として採用することで、表示部周囲の額縁部のサイズを効果的に小さくすることができ、また、併せて表示品位を良好とすることもできる。

【0046】

また、本発明のデータ信号線駆動回路は、上記課題を解決するために、複数のデータ信号線を駆動するデータ信号線駆動回路であって、シフトレジスタより順次出力される選択信号に基づいて、映像信号より各データ信号線に転送すべき映像データをサンプリングするサンプリング部を有するデータ信号線駆動回路において、上記した本発明のシフトレジスタブロックを備えていることを特徴としている。

【0047】

既に説明したように、本発明のシフトレジスタブロックは、シフトレジスタの出力方向に必要とするレイアウト面積を効果的に削減することが可能であり、また、シフトレジスタが複数系列である場合は、系列の異なるシフトレジスタ間での出力信号の遅延バラツキの問題をも解決し得るものである。

【0048】

したがって、このようなシフトレジスタブロックを備えたデータ信号線駆動回路を搭載させることで、表示部周囲の額縁部のサイズを効果的に小さくすることができ、また、併せて表示品位を良好とすることもできる。

【0049】

特に、データ信号線駆動回路では、上記サンプリング部が、データ信号線の配列順に応じて分割された各分割映像信号に対して同じタイミングで映像信号をサンプリングするといった、相展開を行う構成では、画素ピッチ等によって規定される、単位回路の配置ピッチが広くなり、水平方向のスペースが十分に確保できるので、このようなシフトレジスタブロックの構成と組み合わせることが非常に効果的である。

【0050】

本発明のシフトレジスタブロックを備えたデータ線駆動回路では、映像信号がアナログ信号である場合、上記処理回路は、波形整形回路、バッファ回路、サンプリング回路、及びレベルシフタ回路のうちの少なくとも何れか1つからなる構成とすることができる。これら回路群は、映像信号がアナログ信号である場合に、映像信号線に伝送される映像信号をサンプリングするのに必要な回路である。

【0051】

また、本発明のシフトレジスタブロックを備えたデータ線駆動回路では、映像信号がデジタル信号である場合、上記処理回路は、データラッチ回路、デジタル／アナログ変換回路、出力回路、レベルシフタ回路、及びデコーダ回路のうちの少なくとも何れか1つからなる構成とすることができる。これら回路群は、映像信号がデジタルである場合に、映像信号線に伝送される映像信号をサンプリングするのに必要な回路である。

【0052】

なお、シフトレジスタを構成する単位回路間に、このような処理回路が配置されたレイアウトにおいては、処理回路を構成する全ての回路が、単位回路の垂直方向の寸法内に収める必要はなく、少なくとも、処理回路の一部が、単位回路と水平方向に並んで配置されていることで、データ信号線駆動回路全体としての垂直方向の寸法を小さくすることができる。

【0053】

本発明の表示装置は、上記課題を解決するために、複数のデータ信号線と、上記各データ信号線と交差するように配置された複数の走査信号線と、上記データ信号線及び走査信号線の組み合わせに対応して配置された画素と、上記各走査信号線を駆動する走査信号線駆動回路と、上記各データ信号線に対応して設けられたサンプリング部のサンプリング結果に応じた信号を、上記データ信号線に出力するデータ信号線駆動回路とを備え、上記データ信号線駆動回路が上記した本発明のデータ信号線駆動回路であることを特徴としている。

【0054】

既に説明したように、本発明のシフトレジスタブロックは、シフトレジスタの

出力方向に必要とするレイアウト面積を効果的に削減することが可能であり、また、シフトレジスタが複数系列である場合は、系列の異なるシフトレジスタ間での出力信号の遅延バラツキの問題をも解決し得るものである。

【 0 0 5 5 】

したがって、このようなシフトレジスタブロックを備えたデータ信号線駆動回路を搭載してなる表示装置は、表示部周囲の額縁部のサイズが効果的に小さく、また、表示品も良好なものとなる。

【 0 0 5 6 】

また、製造コスト削減が求められる場合には、上記構成に加えて、上記画素、データ信号線駆動回路および走査信号線駆動回路が同一基板上に形成されている方が望ましい。

【 0 0 5 7 】

このような構成によれば、データ信号線駆動回路および走査信号線駆動回路が画素と同一の基板上に形成されているので、それぞれを別の基板に形成した後に、各基板を接続する場合よりも、各駆動回路の製造コストおよび実装コストを削減できる。

【 0 0 5 8 】

さらに、上記構成に加えて、上記画素、データ信号線駆動回路および走査信号線駆動回路を構成する能動素子が、多結晶シリコン薄膜トランジスタであってもよい。

【 0 0 5 9 】

このような構成によれば、上記能動素子を単結晶シリコントランジスタで形成する場合よりも、基板の大きさを大きくできる。この結果、消費電力が少ないだけでなく、画面の広い表示装置を低コストで製造できる。

【 0 0 6 0 】

また、上記構成に加えて、上記能動素子が、6 0 0 ℃以下のプロセスで、ガラス基板上に形成されていてもよい。当該構成によれば、能動素子が6 0 0 ℃以下のプロセスで製造されるので、能動素子をガラス基板上に形成できる。この結果、消費電力が少ないだけでなく、画面の広い表示装置を低コストで製造できる

。

【0061】

【発明の実施の形態】

本発明に係る実施の各形態を、図1～図16に基づいて説明すれば以下の通りである。

【0062】

まず、本実施の各形態において共通の画像表示装置（表示装置）について説明する。該画像表示装置1は、図2に示すように、マトリックス状に配された複数の画素8…を有する画素アレイ2と、画素アレイ2の複数のデータ信号線SL…を駆動するデータ信号線駆動回路3と、画素アレイ2の複数の走査信号線GL…を駆動する走査信号線駆動回路4と、両駆動回路3・4へ電力を供給する電源回路5と、両駆動回路3・4へ制御信号を供給する制御回路6とを備えている。このうち、データ信号線駆動回路3と走査信号線駆動回路4とは、画素アレイ2と同じ絶縁基板7上に形成されている。

【0063】

画素アレイ2には、複数のデータ信号線SL…と、各データ信号線SLに、それぞれ交差する複数の走査信号線GL…とが設けられており、各データ信号線SLと各走査信号線GLの組み合わせに対応して、上記画素8が配設されている。本画像表示装置1では、各画素8は、隣接する2本のデータ信号線SL・SLと、隣接する2本の走査信号線GL・GLとで囲まれた部分に配されている。

【0064】

一例として、画像表示装置1が液晶表示装置の場合の画素8について説明する。液晶表示装置である場合、上記画素8は、例えば、図3に示すように、スイッチング素子として、ゲートが走査信号線GLへ、ドレインがデータ信号線SLに接続された電界効果トランジスタSWと、当該電界効果トランジスタSWのソースに、一方電極が接続された画素容量Cpとを備えている。また、画素容量Cpの他端は、全画素8…に共通の共通電極線に接続されている。上記画素容量Cpは、液晶容量CLと、必要に応じて付加される補助容量Csとから構成されている。

【0065】

上記画素8において、走査信号線GLが選択されると、電界効果トランジスタSWが導通し、データ信号線SLに印加された電圧が画素容量Cpへ印加される。一方、当該走査信号線GLの選択期間が終了して、電界効果トランジスタSWが遮断されている間、画素容量Cpは、遮断時の電圧を保持し続ける。ここで、液晶の透過率あるいは反射率は、液晶容量CLに印加される電圧によって変化する。したがって、走査信号線GLを選択し、当該画素8への映像データDに応じた電圧をデータ信号線SLへ印加すれば、当該画素8の表示状態を、映像データDに合わせて変化させることができる。

【0066】

なお、上記では、液晶の場合を例にして説明したが、画素8は、走査信号線GLに選択を示す信号が印加されている間に、データ信号線SLに印加された信号の値に応じて、画素8の明るさを調整できれば、自発光か否かを問わず、他の構成の画素を使用できる。

【0067】

上記構成において、図2に示す走査信号線駆動回路4は、各走査信号線GLへ、例えば、電圧信号など、選択期間か否かを示す信号を出力している。また、走査信号線駆動回路4は、選択期間を示す信号を出力する走査信号線GLを、例えば、制御回路6から与えられるクロック信号GCKやスタートパルス信号GSPなどのタイミング信号に基づいて変更している。これにより、各走査信号線GLは、予め定められたタイミングで、順次選択される。

【0068】

また、データ信号線駆動回路3は、映像信号DATとして、時分割で入力される各画素8への映像データD…を、所定のタイミングでサンプリングすることで、それぞれ抽出する。さらに、データ信号線駆動回路3は、走査信号線駆動回路4が選択中の走査信号線GLに対応する各画素8へ、各データ信号線SLを介して、それぞれへの映像データに応じた出力信号を出力する。

【0069】

また、データ信号線駆動回路3としては、映像信号DATを相展開する構成と

することもできる。この場合、制御回路 6 は、外部より入力される映像信号 DAT を所定の分割数に分割し、分割映像信号としてデータ信号線駆動回路 3 へと入力する。データ信号線駆動回路 3 は、映像信号 DAT の分割数に応じ、2 分割であれば、2 本の映像信号線に伝送される分割映像信号を同時にサンプリングする。また、カラー表示装置の場合、各色系列毎に 2 本の映像信号線が割り当てられるため、各色系列の 2 本の映像信号線に伝送される分割映像信号を同時にサンプリングする。

【0070】

一方、各画素 8 は、自らに対応する走査信号線 GL が選択されている間に、自らに対応するデータ信号線 SL に与えられた出力信号に応じて、輝度や透過率などを調整して、自らの明るさを決定する。上述したように、走査信号線駆動回路 4 は、各走査信号線 GL を順次選択しているので、画素アレイ 2 の全画素 8…を、それぞれへの映像データが示す明るさに設定でき、画素アレイ 2 へ表示される画像を更新できる。

【0071】

以下、データ信号線駆動回路 3 に採用されているレイアウトについて、詳細に説明する。

【0072】

まず、図 1 に、データ信号線駆動回路 3 が 1 系列のシフトレジスタを備えた構成である場合のレイアウトを示す。

【0073】

データ信号線駆動回路 3 は、シフトレジスタ SR と、該シフトレジスタ SR の各出力段より順次出力される信号がそれぞれ入力され、該出力を扱う処理回路である複数の波形処理回路 WR (1) ・ WR (2) ・ … ・ WR (n) とからなる。

【0074】

シフトレジスタ SR は、入力パルスを別途入力されるクロック信号に応じて出力する単位回路である複数のフリップフロップ F/F (1) ・ F/F (2) ・ … ・ F/F (n) が縦続接続されてなり、各フリップフロップ F/F がシフトレジスタ SR の 1 つの出力段を構成する。

【0075】

各フリップフロップF/Fには、クロック信号SCKが共通して入力されると共に、初段のフリップフロップF/F(1)の入力端子INにスタートパルス信号SSPが入力され、フリップフロップ回路F/F(1)の出力端子OUTからの出力が、次段のフリップフロップ回路F/F(2)の入力端子INと、波形処理回路WR(1)の入力端子INとに入力されている。そして、2段目のフリップフロップ回路F/F(2)の出力端子OUTからの出力が、3段目のフリップフロップ回路F/F(3)の入力端子INと、波形処理回路WR(2)の入力端子INとに入力されており、以降、同様である。

【0076】

このような構成において、シフトレジスタSRにスタートパルス信号(入力信号)SSPが入力されると、その入力側1段目のフリップフロップF/F(1)を初段として、各段がスタートパルス信号SSPをクロック信号SCKのタイミングで順次出力していく。そして、1つのフリップフロップF/Fと1つの波形処理回路WRとで、1本または各色系列1本ずつで1セットのデータ信号線SLを駆動する回路ブロックが構成される。

【0077】

ここで注目すべき点は、該シフトレジスタSRの複数のフリップフロップF/F(1)~F/F(n)より出力される各信号が入力される複数の波形処理回路WR(1)~WR(n)の配置位置にある。該図に示すように、図1の構成では、シフトレジスタSRを構成する縦続接続された複数のフリップフロップF/F(1)~F/F(n)の各間に、波形処理回路WR(1)~WR(n)が1つずつ配置されている。

【0078】

つまり、初段のフリップフロップF/F(1)と2段目のフリップフロップF/F(2)との間に、初段のフリップフロップF/F(1)の出力が入力される波形処理回路WR(1)が配置されている。そして、2段目のフリップフロップF/F(2)と3段目のフリップフロップ(不図示)との間に、2段目のフリップフロップF/F(2)の出力が入力される波形処理回路WR(2)が配置され

ている。これ以降も同様である。

【0079】

このようなレイアウトとすることで、シフトレジスタSRと波形処理回路WR(1)～WR(n)のブロックとが同列に並ぶので、図17に示す従来の構成、つまり、シフトレジスタsrの出力側(垂直方向)に、シフトレジスタsrとは異なる列に、各波形処理回路WRを配置した構成よりも、シフトレジスタSRの出力方向でもある垂直方向のレイアウト面積を削減することができる。そして、これにより、画像表示装置の画素アレイ2の周囲に示す額縁部をより狭くすることができる。

【0080】

上記波形処理回路WRとしては、映像信号DATが、アナログ信号である場合は、例えば、図4(a)(b)或いは図5(a)(b)に示すように、波形整形回路12、バッファ回路13、サンプリング回路14よりなる構成を採り得る。このうち、図4(a)(b)はモノクロ表示用で、(a)が相展開無し、(b)がn相展開された場合のものである。また、図5(a)(b)は、アナログの映像信号DATがRGB3色の色データからなるカラー表示用で、(a)が相展開無し、(b)がn相展開された場合のものである。尚、相展開する場合と相展開しない場合とで異なるのは、バッファ回路13の出力にて動作するサンプリング回路14のサンプリング素子14aの個数が、相展開無しでは1個、n相展開ではn本の映像信号線に合わせてn個となる以外は同じであるので、図4(b)、図5(b)においては、サンプリング回路14の構成のみを示している。

【0081】

波形整形回路12では、シフトレジスタSRの対応するフリップフロップF/Fからの出力信号(選択信号)のパルス幅を調整し、バッファ回路13では、パルス幅の変調された出力をバッファリングする。そして、サンプリング回路14では、バッファ回路13からの出力がハイレベルを示す期間、アナログの映像信号DATをサンプリングして、データ信号線SLへと出力する。

【0082】

ここで、相展開無しのモノクロ表示であれば、1本の映像信号線より映像信号

DATをサンプリングして1本のデータ信号線SLへと出力する。また、n相展開のモノクロ表示であれば、n本の映像信号線より映像信号DAT1～DATnを同時にサンプリングして、n本のデータ信号線SLへと同時に出力する。また、相展開無しのカラー表示であれば、RGB各色毎に1本ずつ設けられた3本の映像信号線より映像信号DAT(R)・DAT(G)・DAT(B)を同時にサンプリングして、各色1本ずつのデータ信号線SLへと出力する。また、n相展開のカラー表示であれば、RGB各色毎にn本ずつ設けられた3×n本の映像信号線より映像信号DAT(R)1～DAT(R)nを同時にサンプリングして、各色n本ずつのデータ信号線SLへと同時に出力する。

【0083】

なお、図4(a)(b)或いは図5(a)(b)に示す波形処理回路WRは、アナログ対応のデータ信号線駆動回路における代表的な波形処理回路を示しているに過ぎず、本発明における処理回路が、何らこれに限定されるものではない。そして、ここでは、波形整形回路12、バッファ回路13、サンプリング回路14より構成されているが、その全てが常に必要というわけではなく、また、レベルシフト回路等その他の回路が含まれる場合もある。

【0084】

また、映像信号DATがデジタルである場合は、上記波形処理回路WRとしては、図6(a)、図7、図8、或いは図9に示すように、データラッチ回路15、デジタル／アナログ変換回路（以下、D/A変換回路）16、及び出力回路17よりなる構成を採り得る。このうち、図6(a)は、相展開無しの3ビットモノクロ表示用で、図7はn相展開された3ビットモノクロ表示用のものである。また、図8、図9は、3ビットの映像信号DATがRGB3色の色データからなるカラー表示用で、図8が相展開無し、図9がn相展開された場合のものである。

【0085】

データラッチ回路15は、サンプリングするデジタル映像信号のビット数に応じて、ここでは3個のデータラッチ回路素子15aを備えている。そして、データラッチ回路15と、D/A変換回路16と、出力回路17とで構成される波形

処理単位回路WR aを1単位として、映像信号数に応じて必要数備えている。つまり、図6(a)の相展開無しモノクロ表示では、波形処理単位回路WR aを1つ備え、図7に示すn相展開するモノクロ表示では、波形処理単位回路WR aをn個備えている。また、図8に示す相展開無しのカラー表示では、RGB3色の各色毎に1つずつ波形処理単位回路WR aを備え、図9に示すn相展開するカラー表示では、RGB3色の各色毎にn個ずつ波形処理単位回路WR aを備えている。

【0086】

図6(b)に、データラッチ回路素子15aの代表的な構成例を示す。ここで、データラッチ回路素子15aは、2つのノア回路、2つアンド回路、及び1つのインバータから成り、入力CPがハイ期間に出力QならびにQ反転が入力Dのハイ/ローに応じて変化し、CPがロー期間は、CPがハイ期間にDに応じて変化した出力Q並びにQ反転のレベルを保持しつづける。

【0087】

したがって、データラッチ回路15は、入力CPとしてシフトレジスタSRの対応するフリップフロップF/Fからの出力信号である出力パルスを用い、外部から入力されるデジタルの映像信号DATを入力Dとすることにより、シフトレジスタSRの対応するフリップフロップF/Fからの出力信号である出力パルスをトリガ信号としてデジタル映像信号DATを各データラッチ回路素子15aにサンプリングする。

【0088】

D/A変換回路16では、サンプリング結果に応じて1つのアナログ電圧を選択し、出力回路(出力バッファ)17を介して、選択されたアナログ電圧をデータ信号線SLへと出力する。

【0089】

ここで、相展開無しの3ビットモノクロ表示であれば、1つの波形処理単位回路WR aで3ビットの映像信号DATをサンプリングして1本のデータ信号線SLへと出力する。また、n相展開の3ビットモノクロ表示であれば、n個の波形処理単位回路WR aで、それぞれ3ビットの映像信号DAT1~DATnを同時

にサンプリングして、 n 本のデータ信号線 SL へと同時に出力する。また、相展開無しの 3 ビットカラー表示であれば、RGB 各色毎に設けられた 3 個の波形処理単位回路 WRa で RGB 各色の映像信号 $DAT(R) \cdot DAT(G) \cdot DAT(B)$ を同時にサンプリングして、各色 1 本ずつのデータ信号線 SL へと出力する。また、 n 相展開の 3 ビットカラー表示であれば、RGB 各色毎に n 個ずつ設けられた $3 \times n$ 個の波形処理単位回路 WRa で、それぞれ 3 ビットの映像信号 $DAT(R)1 \sim DAT(R)n \cdot DAT(G)1 \sim DAT(G)n \cdot DAT(B)1 \sim DAT(B)n$ を同時にサンプリングして、各色 n 本ずつのデータ信号線 SL へと同時に出力する。

【0090】

なお、図 6～図 9 に示す波形処理回路 WR も、デジタル対応のデータ信号線駆動回路における代表的な波形処理回路を示しているに過ぎず、本発明における処理回路が、何らこれに限定されるものではない。そして、データラッチ回路部 15、 D/A 変換回路 16、出力回路 17 から構成されているが、その全てが常に必要というわけではなく、また、レベルシフタ回路やデコーダ回路等その他の回路が含まれる場合もある。

【0091】

次に、図 10 に、データ信号線駆動回路 3 が 2 系列のシフトレジスタを備えた構成である場合のレイアウトを示す。

【0092】

該図に示すように、フリップフロップ $F/F1(1) \cdot F/F1(2) \cdot \dots \cdot F/F1(m)$ よりなり、制御信号としてクロック信号 $CLK1$ とスタートパルス信号 $SSP1$ とが入力される第 1 系列のシフトレジスタ $SR1$ と、制御信号としてクロック信号 $CLK2$ とスタートパルス信号 $SSP2$ とが入力されるフリップフロップ $F/F2(1) \cdot F/F2(2) \cdot \dots \cdot F/F2(m)$ よりなる第 2 系列のシフトレジスタ $SR2$ とは、垂直方向に並ぶように配置されている。この点は、図 18 に示す従来の 2 系列のシフトレジスタ $sr1 \cdot sr2$ を備えた構成のレイアウト同じである。

【0093】

ここで注目すべきは、図 1 と同様に、第 1 系列のシフトレジスタ $SR1$ を構成する複数のフリップフロップ $F/F1(1) \sim F/F1(m)$ の各間に、波形処理回路 $WR1(1) \sim WR1(m)$ のうちの対応するものが 1 つずつ配置され、かつ、第 2 系列のシフトレジスタ $SR2$ を構成する複数のフリップフロップ $F/F2(1) \sim F/F2(m)$ の各間に、波形処理回路 $WR2(1) \sim WR2(m)$ のうちの対応するものが 1 つずつ配置されている点である。

【0094】

つまり、第 1 系列のシフトレジスタ $SR1$ を構成する初段のフリップフロップ $F/F1(1)$ と 2 段目のフリップフロップ $F/F1(2)$ との間に、初段のフリップフロップ $F/F1(1)$ の出力が入力される波形処理回路 $WR1(1)$ が配置され、また、2 段目のフリップフロップ $F/F1(2)$ と 3 段目のフリップフロップ $F/F1(3)$ (不図示) との間に、2 段目のフリップフロップ $F/F1(2)$ の出力が入力される波形処理回路 $WR1(2)$ が配置されている。これ以降も同様である。また、第 2 系列のシフトレジスタ $SR2$ においても同様である。

【0095】

このようなレイアウトとすることで、図 18 に示す従来の構成よりも、垂直方向におけるレイアウト面積を削減することができる。そして、これにより、画像表示装置の画素アレイ 2 の周囲に示す額縁部をより狭くすることができる。

【0096】

続いて、図 11、図 12 を用いて、データ信号線駆動回路 3 が 2 系列のシフトレジスタを備えた構成の、さらに他のレイアウトを示す。

【0097】

図 11 に示すものは、第 1 系列のシフトレジスタ $SR1$ を構成する複数のフリップフロップ $F/F1(1) \sim F/F1(m)$ の各間に、第 2 系列のシフトレジスタ $SR2$ を構成する複数のフリップフロップ $F/F2(1) \sim F/F2(m)$ が 1 つずつ、隣り合うフリップフロップ F/F で属する系列が交互になるように配置されている。

【0098】

つまり、第1系列のシフトレジスタSR1を構成する初段のフリップフロップF/F1(1)と2段目のフリップフロップF/F1(2)との間に、第2系列のシフトレジスタSR2を構成する初段のフリップフロップF/F2(1)が配置され、第1系列の2段目のフリップフロップF/F1(2)と3段目のフリップフロップF/F1(3)（不図示）との間に、第2系列の2段目のフリップフロップF/F2(2)が配置されている。以降、同様にして、第1系列のシフトレジスタを構成するフリップフロップF/F1におけるスタートパルス信号SSPのシフト側に、第2系列のシフトレジスタを構成するフリップフロップF/F2が、交互に配されている。

【0099】

そして、各波形処理回路WR1・WR2は、これら2系列のシフトレジスタの垂直方向で、かつ、フリップフロップF/F1・F/F2におけるスタートパルス信号SSPのシフト側にずれた位置に、波形処理回路WR1(1)・WR2(1)・WR1(2)・WR2(2)・・・WR2(m)の順で配置されている。

【0100】

このようなレイアウトとすることで、第1系列のシフトレジスタSR1と第2系列のシフトレジスタSR2とが一直線状に並ぶため、シフトレジスタブロックにおいて、系列間で出力信号を供給する配線長が揃う。その結果、出力信号の遅延を等しくでき、遅延のバラツキによる表示品位低下を、各系列間でスタートパルス信号SSPを加工するなどの、回路規模を大きくすることなく防止することができる。

【0101】

また、図10に示した構成では、フリップフロップF/F1と波形処理回路WR1、フリップフロップF/F2と波形処理回路WR2といった、完全に機能の異なる回路同士を同列に並べるため、フリップフロップF/F1と波形処理回路WR1との間、及びフリップフロップF/F2と波形処理回路WR2との間で、垂直方向のレイアウト寸法が異なる場合、フリップフロップF/F1と波形処理回路WR1との列と、フリップフロップF/F2と波形処理回路WR2との列との間に、無駄なスペースが生まれる可能性がある。

【0102】

これに対し、図11の構成では、系列は異なっている、同じ機能の回路同士を同列に並べる構成であるので、シフトレジスタSR1・SR2よりなる列と、複数の波形処理回路WR1と複数の波形処理回路WR2とで構成される列との間に、列を構成する各回路間における垂直方向のレイアウト寸法の差による無駄なスペースが生まれることがない。

【0103】

その結果、より垂直方向におけるレイアウト面積を削減して、画像表示装置の画素アレイ2の周囲に示す額縁部を狭くすることができる

また、図12に示すものは、第1系列のシフトレジスタSR1を構成する複数のフリップフロップF/F1(1)～F/F1(m)の各間に、第2系列のシフトレジスタを構成する複数のフリップフロップF/F2(1)～F/F2(m)を1つずつ、隣り合うフリップフロップF/Fで属する系列が交互になるように配置されると共に、さらに、各フリップフロップF/F1・F/F2からの出力が入力される各波形処理回路WR1・WR2を、対応するフリップフロップF/F1・F/F2のシフト側に配置したものである。

【0104】

つまり、第1系列のシフトレジスタSR1を構成する初段のフリップフロップF/F1(1)と2段目のフリップフロップF/F1(2)との間に、まず、初段のフリップフロップF/F1の信号が入力される波形処理回路WR1(1)が配置され、その横(シフト側)に、第2系列のシフトレジスタSR2を構成する処理のフリップフロップF/F2(1)が配置され、かつ、その横(シフト側)に、該第2系列に属する初段のフリップフロップF/F2(1)の信号が入力される波形処理回路WR2(1)が配置されている。これ以降も同様である。

【0105】

このようなレイアウトとすることで、第1系列のシフトレジスタSR1と第2系列のシフトレジスタSR2のみならず、これらのシフトレジスタSR1・SR2からの出力信号が入力される各波形処理回路WR1・WR2も一直線状に並ぶこととなる。

【0106】

その結果、シフトレジスタブロックにおいて、系列間での出力信号の遅延を等しくでき、遅延のバラツキによる表示品位低下を、回路規模を大きくすることなく防止することができることに加えて、図10、図11の構成と比べて、最も、垂直方向におけるレイアウト面積を削減して、画像表示装置の画素アレイ2の周囲に形成される額縁部を狭くすることができる

ところで、シフトレジスタSR1・SR2を一直線状（同列）に配置するにあたり、各系列のシフトレジスタの配線を従来通りに行うと、前述した図11、図12に示すような配線となる。つまり、第1系列のシフトレジスタSR1に関連する信号線経路及び第2系列のシフトレジスタSR2に関連する信号線経路は共に、フリップフロップF/F1・F/F2が配列されてなるフリップフロップ列の一方側（ここではシフトレジスタブロックとしての出力側とは反対の側）に設けられることとなる。

【0107】

しかしながら、このようなフリップフロップ列の一方側に複数系列の配線を設けると、レイアウト上、信号線同士の交差部が必然的に増加する。図11、図12に、信号線の交差部をPにて示す。

【0108】

交差部Pには寄生容量が発生するため、シフトレジスタブロックの動作に影響が出る恐れがある。また、交差部Pの増加は、複数のメタル層を接続するコンタクト領域の増加を意味しており、レイアウト面積の増大を招くことにつながる。したがって、水平方向及び垂直方向のスペースを有効に利用して、さらなる狭額縁化を図るには、交差部Pを少なくすることが望ましい。

【0109】

図13、図14に、上記交差部Pを減らすことのできる構成を示す。図13が図11に対応し、図14が図12に対応している。図13、図14に示すように、フリップフロップF/F1・F/F2が配列されてなるフリップフロップ列の両側に、系列間で信号線経路を振り分けている。ここでは、第1系列のシフトレジスタSR1に関連する信号線経路をシフトレジスタブロックとしての出力側と

は反対側に設け、第2系列のシフトレジスタSR2に関連する信号線経路をシフトレジスタブロックとしての出力側に設けている。このような構成とすることで、信号線間の交差部Pを少なくでき、全体として交差部Pの数を減らすことができる。

【0110】

例えば、図11と図13とを比較すると、図11の構成では、破線で仕切る区画内に、合計5つの交差部Pがある。詳細には、フリップフロップF/F1(1)の出力端子OUTとフリップフロップF/F1(2)の入力端子INとを接続する配線に、スタートパルス信号SSP2の配線、クロック信号CLK2の配線、及びフリップフロップF/F2(1)の出力端子OUTとフリップフロップF/F2(2)の入力端子INとを接続する配線が交差して交差部Pが3つ形成され、また、フリップフロップF/F1(2)へと入力するクロック信号CLK1の配線に、クロック信号CLK2、及びフリップフロップF/F2(1)の出力端子OUTとフリップフロップF/F2(2)の入力端子INとを接続する配線が交差して、交差部Pが2つ形成されている。

【0111】

これに対し、図13では、破線で仕切る区画内における交差部Pは、合計3つに抑えられている。詳細には、クロック信号CLK2の配線に、フリップフロップF/F2(1)の出力端子OUTと波形処理回路WR2(1)の入力端子INとが接続される配線が交差して交差部Pが1つ形成され、また、フリップフロップF/F1(2)の出力端子OUTと波形処理回路WR1(2)の入力端子INとが接続される配線に、クロック信号CLK2の配線、及びフリップフロップF/F2(1)の出力端子OUTとフリップフロップF/F2(2)の入力端子INとを接続する配線が交差して、交差部Pが2つ形成されている。

【0112】

また、図12と図14とを比較すると、図12の構成では、破線で仕切る区画内に、図11と同様の合計5つの交差部Pがあるが、図14では、破線で仕切る区画内における交差部Pは、合計4つに抑えられている。詳細には、波形処理回路WR2(1)及び波形処理回路WR1(2)の各出力端子OUTが対応するデ

ータ信号線 S L と接続される各配線に、クロック信号 S C K 2 の配線、及びフリップフロップ F / F 2 (1) の出力端子 O U T とフリップフロップ F / F 2 (2) の入力端子 I N とを接続する配線が交差して、交差部 P が 4 つ形成されている。

【0113】

以上のように、本実施の形態では、データ信号線駆動回路 3 におけるシフトレジスタブロックにおいて、前後の出力段を構成するフリップフロップ F / F とフリップフロップ F / F との間に、当該系列のシフトレジスタ動作とは関わりのない、シフトレジスタの出力を扱う波形処理回路 W R や、異なる系列に属するフリップフロップ F / F を配置するレイアウトを採用している。

【0114】

したがって、このようなシフトレジスタブロックの構成を採用すること、従来のシフトレジスタブロックの構成を採用した場合よりも、シフトレジスタの出力方向に必要なレイアウト面積を削減することが可能となる。

【0115】

なお、ここでは、シフトレジスタを複数系列備える構成として、2 系列設ける構成としたが、3 系列以上とすることができる。また、このようなシフトレジスタブロックを、必要であれば、走査線駆動回路に適用してもよい。さらに、上記した説明では、当該系列のシフトレジスタ動作とは関わりのない、シフトレジスタの出力を扱う波形処理回路 W R や、異なる系列に属するフリップフロップ F / F を配置するにあたり、各フリップフロップ F / F の間に均等に配する構成としているが、必ずしもこれに限定されるものではない。また、図 2 の画像表示装置 1 では、映像信号 D A T を、制御回路 6 を介して入力する構成としているが、相展開無しのデジタルデータが入力される場合や別途アナログデータ処理回路（図示せず）を設けた場合は、制御回路 6 を介さず、外部から直接入力させてもよい。

【0116】

ところで、図 2 では、画素アレイ 2 と、データ信号線駆動回路 3 および走査信号線駆動回路 4 とを、画素 8 … が形成されている絶縁基板 7 上に同時に形成して

いる構成としたが、別々に形成した後、それぞれが形成された基板を接続するなどして、それぞれを接続してもよい。

【0117】

但し、上記各駆動回路の製造コスト低減や実装コストの低減が求められる場合は、画素アレイ 2 と、上記各駆動回路 3・4 とを、同一基板上に、すなわち、モノシリックに形成する方が望ましい。さらに、この場合は、それぞれを形成した後に、それぞれを接続する必要がないので、信頼性を向上することもできる。

【0118】

以下では、モノシリックに形成される画像表示装置 1 の例として、多結晶シリコン薄膜トランジスタで上記画素アレイ 2 および上記各駆動回路 3・4 の能動素子を構成した場合における、トランジスタの構造とその製造方法とについて簡単に説明する。

【0119】

すなわち、図 15 (a) に示すガラス基板 51 上に、図 15 (b) に示すように非晶質シリコン薄膜 52 が堆積される。さらに、図 15 (c) に示すように、当該非晶質シリコン薄膜 52 にエキシマレーザを照射することにより、非晶質シリコン薄膜 52 を多結晶シリコン薄膜 53 に変化させる。

【0120】

さらに、図 15 (d) に示すように、多結晶シリコン薄膜 53 を所望の形状にパターニングし、図 15 (e) に示すように、上記多結晶シリコン薄膜 53 上に、二酸化シリコンからなるゲート絶縁膜 54 を形成する。

【0121】

また、図 15 (f) において、ゲート絶縁膜 54 上に、アルミニウムなどによって、薄膜トランジスタのゲート電極 55 を形成した後、図 15 (g) および図 15 (h) において、薄膜トランジスタのソース・ドレイン領域となる領域 56 および 57 に、不純物を注入する。ここで、n 型領域 56 には、磷が注入され、p 型領域 57 には、硼素が注入される。なお、一方の領域に不純物を注入する前に、残余の領域は、レジスト 58 で覆われているので、所望の領域のみに不純物を注入できる。

【0122】

さらに、図15 (i) に示すように、上記ゲート絶縁膜54 およびゲート電極55上に、二酸化シリコンまたは窒化シリコンなどからなる層間絶縁膜59を堆積し、図15 (j) に示すように、コンタクトホール60を開口した後、図15 (k) に示すように、アルミニウムなどの金属配線61を形成する。

【0123】

これにより、図16に示すように、絶縁性基板上の多結晶シリコン薄膜を活性層とする順スタガー（トップゲート）構造の薄膜トランジスタを形成できる。なお、同図は、 $n\text{-ch}$ のトランジスタの例を示しており、上記 n 型領域56のうち、ゲート電極55下部の多結晶シリコン薄膜53を、ガラス基板51の表面方向に挟むように配された領域56a・56bの一方は、ソース領域となり、他方は、ドレイン領域になる。

【0124】

このように、多結晶薄膜トランジスタを用いることによって、実用的な駆動能力を有するデータ信号線駆動回路3および走査信号線駆動回路4を、画素アレイと同一基板上に、かつ、略同一の製造工程で構成できる。なお、上記では、一例として、当該構造の薄膜トランジスタを例にして説明したが、例えば、逆スタガー構造など、他の構造の多結晶薄膜トランジスタを用いても略同様の効果が得られる。

【0125】

ここで、上記図15 (a) から図15 (k) までの工程において、プロセスの最高温度は、ゲート絶縁膜形成時の600℃なので、例えば、米国コーニング社の1737ガラスなどの高耐熱性ガラスを、基板51として使用できる。

【0126】

このように、多結晶シリコン薄膜トランジスタを、600℃以下で形成することによって、絶縁基板として、安価で大面積のガラス基板を用いることができる。この結果、安価で表示面積の大きな画像表示装置1を実現できる。

【0127】

なお、画像表示装置1が液晶表示装置の場合は、さらに、別の層間絶縁膜を介

して、透過電極（透過型液晶表示装置の場合）や、反射電極（反射型液晶表示装置の場合）が形成される。

【0128】

【発明の効果】

本発明のシフトレジスタブロックは、以上のように、入力信号をクロック信号に応じて出力する複数の単位回路が縦続接続されてなり、各単位回路にて構成される出力段より選択信号を順次出力するシフトレジスタを少なくとも1系列備えたシフトレジスタブロックにおいて、当該系列のシフトレジスタを構成する単位回路とは異なる別の回路を隔てて、前の出力段を構成する単位回路と次の出力段を構成する単位回路とが配置されていることを特徴としている。

【0129】

このような構成では、縦続接続されて1系列のシフトレジスタを構成する複数の単位回路における単位回路間に、当該シフトレジスタの動作とは関わりない、別の回路が配置されることとなるので、このようなシフトレジスタブロックの構成を採用することで、従来の構成であれば、単位回路の配列方向であるシフトレジスタの出力側に、シフトレジスタに沿うように並置されるその他の回路群が、単位回路間に分散して配置されることとなる。

【0130】

その結果、従来のシフトレジスタブロックの構成を採用した場合よりも、シフトレジスタの出力方向に必要とするレイアウト面積を削減することが可能となるという効果を奏する。

【0131】

上記別の回路としては、例えば、当該系列のシフトレジスタを構成する単位回路からの出力が入力されて該出力を扱う処理回路、或いは、系列の異なるシフトレジスタを構成する単位回路とできる。

【0132】

特に、1系列のシフトレジスタを構成する単位回路間に、異なる系列のシフトレジスタを構成する単位回路を配することで、系列の異なるシフトレジスタが同一直線上に設けられることとなる。

【0133】

したがって、系列の異なるシフトレジスタを、各シフトレジスタの出力方向に並べて配置した構成のように、出力信号を供給する距離の差にて、各シフトレジスタの出力信号間で、遅延のバラツキが生じるようなことがないという効果を併せて奏する。

【0134】

また、上記別の回路としては、当該系列のシフトレジスタを構成する単位回路からの出力が入力されて該出力を扱う処理回路、系列の異なるシフトレジスタを構成する単位回路、及び該系列の異なるシフトレジスタを構成する単位回路の出力が入力されて該出力を扱う処理回路とすることもできる。

【0135】

このような構成では、複数系列のシフトレジスタが一直線状に配されると共に、これらシフトレジスタを構成する各単位回路からの出力信号を扱う処理回路も一直線上に配されるので、該シフトレジスタブロックの構成を採用することで、系列の異なるシフトレジスタ間での出力信号の遅延バラツキの問題もなく、かつ、シフトレジスタの出力方向に必要とするレイアウト面積をより効果的に削減することが可能となるという効果を奏する。

【0136】

さらに、本発明のシフトレジスタブロックにおいては、各系列のシフトレジスタに関連する信号線経路が、複数系列のシフトレジスタを構成する単位回路列の両側に位置するように、系列間で振り分けて設けられている構成とすることが好ましい。

【0137】

複数系列のシフトレジスタが一直線状に配置された構成では、各系列の単位回路同士を繋ぐ信号線が交差するため、該交差箇所に寄生容量が発生することとなるが、このように、複数系列のシフトレジスタを構成する単位回路列の両側に、系列間で信号線を振り分けることで、寄生容量の原因となる信号線の交差部を少なくすることができ、寄生容量による相互影響を最小にできるという効果を奏する。

【0138】

また、交差部が増えるということは、複数のメタル層を接続するコンタクト領域も増加することを意味しており、これは、レイアウト面積の増大を招くことにつながる。したがって、交差部を少なくすることで、水平方向及び垂直方向のスペースを有効に利用でき、さらなる狭額縁化が図れるという効果を併せて奏する。

【0139】

また、本発明の信号線駆動回路は、以上のように、シフトレジスタブロックを備え、該シフトレジスタブロックより順次出力される選択信号を用いて複数の信号線を駆動する信号線駆動回路において、上記した本発明のシフトレジスタブロックを備えていることを特徴としている。

【0140】

既に説明したように、本発明のシフトレジスタブロックは、シフトレジスタの出力方向に必要とするレイアウト面積を効果的に削減することが可能であり、また、シフトレジスタが複数系列である場合は、系列の異なるシフトレジスタ間での出力信号の遅延バラツキの問題をも解決し得るものである。

【0141】

したがって、このようなシフトレジスタブロックを備えた信号線駆動装置を、表示装置の走査信号線駆動回路やデータ信号線駆動回路として採用することで、表示部周囲の額縁部のサイズを効果的に小さくすることができ、また、併せて表示品位を良好とすることもできるという効果を奏する。

【0142】

また、本発明のデータ信号線駆動回路は、以上のように、複数のデータ信号線を駆動するデータ信号線駆動回路であって、シフトレジスタより順次出力される選択信号に基づいて、映像信号より各データ信号線に転送すべき映像データをサンプリングするサンプリング部を有するデータ信号線駆動回路において、上記した本発明のシフトレジスタブロックを備えていることを特徴としている。

【0143】

既に説明したように、本発明のシフトレジスタブロックは、シフトレジスタの

出力方向に必要とするレイアウト面積を効果的に削減することが可能であり、また、シフトレジスタが複数系列である場合は、系列の異なるシフトレジスタ間での出力信号の遅延バラツキの問題をも解決し得るものである。

【0 1 4 4】

したがって、このようなシフトレジスタブロックを備えたデータ信号線駆動回路を搭載させることで、表示部周囲の額縁部のサイズを効果的に小さくすることができ、また、併せて表示品位を良好とすることもできるという効果を奏する。

【0 1 4 5】

特に、データ信号線駆動回路では、上記サンプリング部が、データ信号線の配列順に応じて分割された各分割映像信号に対して同じタイミングで映像信号をサンプリングするといった、相展開を行う構成では、画素ピッチ等によって規定される、単位回路の配置ピッチが広くなり、水平方向のスペースが十分に確保できるので、このようなシフトレジスタブロックの構成と組み合わせることが非常に効果的である。

【0 1 4 6】

本発明のシフトレジスタブロックを備えたデータ線駆動回路では、映像信号がアナログ信号である場合、上記処理回路は、波形整形回路、バッファ回路、サンプリング回路、及びレベルシフタ回路のうちの少なくとも何れか1つからなる構成とすることができる。また、本発明のシフトレジスタブロックを備えたデータ線駆動回路では、映像信号がデジタル信号である場合、上記処理回路は、データラッチ回路、デジタル／アナログ変換回路、出力回路、レベルシフタ回路、及びデコーダ回路のうちの少なくとも何れか1つからなる構成とすることができる。

【0 1 4 7】

本発明の表示装置は、以上のように、複数のデータ信号線と、上記各データ信号線と交差するように配置された複数の走査信号線と、上記データ信号線及び走査信号線の組み合わせに対応して配置された画素と、上記各走査信号線を駆動する走査信号線駆動回路と、上記各データ信号線に対応して設けられたサンプリング部のサンプリング結果に応じた信号を、上記データ信号線に出力するデータ信号線駆動回路とを備え、上記データ信号線駆動回路が上記した本発明のデータ信

号線駆動回路であることを特徴としている。

【0 1 4 8】

既に説明したように、本発明のシフトレジスタブロックは、シフトレジスタの出力方向に必要とするレイアウト面積を効果的に削減することが可能であり、また、シフトレジスタが複数系列である場合は、系列の異なるシフトレジスタ間での出力信号の遅延バラツキの問題をも解決し得るものである。

【0 1 4 9】

したがって、このようなシフトレジスタブロックを備えたデータ信号線駆動回路を搭載してなる表示装置は、表示部周囲の額縁部のサイズが効果的に小さく、また、表示品も良好なものとなるという効果を奏する。

【0 1 5 0】

本発明に係る表示装置は、以上のように、上記構成に加えて、上記画素、データ信号線駆動回路および走査信号線駆動回路が同一基板上に形成されている構成である。

【0 1 5 1】

このような構成によれば、データ信号線駆動回路および走査信号線駆動回路が画素と同一の基板上に形成されているので、それぞれを別の基板に形成した後に、各基板を接続する場合よりも、各駆動回路の製造コストおよび実装コストを削減できるという効果を奏する。

【0 1 5 2】

本発明に係る表示装置は、以上のように、上記構成に加えて、上記画素、データ信号線駆動回路および走査信号線駆動回路を構成する能動素子が、多結晶シリコン薄膜トランジスタである構成である。

【0 1 5 3】

このような構成によれば、上記能動素子を単結晶シリコントランジスタで形成する場合よりも、基板の大きさを大きくできる。この結果、消費電力が少ないだけでなく、画面の広い表示装置を低コストで製造できるという効果を奏する。

【0 1 5 4】

本発明に係る表示装置は、以上のように、上記構成に加えて、上記能動素子が

、600℃以下のプロセスで、ガラス基板上に形成されている構成である。当該構成によれば、能動素子が600℃以下のプロセスで製造されるので、能動素子をガラス基板上に形成できる。この結果、消費電力が少ないだけでなく、画面の広い表示装置を低コストで製造できるという効果を奏する。

【図面の簡単な説明】

【図 1】

本発明の実施の一形態を示すものであり、データ信号線駆動回路の要部のレイアウトを示すブロック図である。

【図 2】

上記データ信号線駆動回路を含む画像表示装置の要部構成を示すブロック図である。

【図 3】

上記画像表示装置に設けられた画素の概略構成を示す回路図である。

【図 4】

(a) (b) 共に、上記データ信号線駆動回路における波形処理回路の 1 構成例を示す回路図であり、詳細には、(a) は、映像信号がアナログ信号で、かつ、モノクロで相展開無しの場合、(b) は、映像信号がアナログ信号で、かつ、モノクロで n 相展開されている場合のものである。

【図 5】

(a) (b) 共に、上記データ信号線駆動回路における波形処理回路の 1 構成例を示す回路図であり、詳細には、(a) は、映像信号がアナログ信号で、かつ、カラーで相展開無しの場合、(b) は、映像信号がアナログ信号で、かつ、カラーで n 相展開されている場合のものである。

【図 6】

(a) は、上記データ信号線駆動回路における波形処理回路の 1 構成例を示す回路図であり、詳細には、映像信号が 3 ビットのデジタル信号で、かつ、モノクロで相展開無しの場合のもので、(b) は、(a) の波形処理回路のデータラッチ回路を構成するデータラッチ回路素子の構成例を示す回路図である。

【図 7】

上記データ信号線駆動回路における波形処理回路の 1 構成例を示す回路図であり、詳細には、映像信号が 3 ビットのデジタル信号で、かつ、モノクロで n 相展開されている場合のものである。

【図 8】

上記データ信号線駆動回路における波形処理回路の 1 構成例を示す回路図であり、詳細には、映像信号が 3 ビットのデジタル信号で、かつ、カラーで相展開無しの場合のものである。

【図 9】

上記データ信号線駆動回路における波形処理回路の 1 構成例を示す回路図であり、詳細には、映像信号が 3 ビットのデジタル信号で、かつ、カラーで n 相展開されている場合のものである。

【図 10】

本発明の他の実施の形態を示すものであり、データ信号線駆動回路の要部のレイアウトを示すブロック図である。

【図 11】

本発明の他の実施の形態を示すものであり、データ信号線駆動回路の要部のレイアウトを示すブロック図である。

【図 12】

本発明の他の実施の形態を示すものであり、データ信号線駆動回路の要部のレイアウトを示すブロック図である。

【図 13】

本発明の他の実施の形態を示すものであり、データ信号線駆動回路の要部のレイアウトを示すブロック図である。

【図 14】

本発明の他の実施の形態を示すものであり、データ信号線駆動回路の要部のレイアウトを示すブロック図である。

【図 15】

上記画像表示装置を構成する薄膜トランジスタの製造プロセスを示すものであり、(a) ~ (k) は、各工程における基板断面を示す工程断面図である。

【図 16】

上記薄膜トランジスタの構造を示す断面図である。

【図 17】

従来のデータ信号線駆動回路の要部のレイアウトを示すブロック図である。

【図 18】

従来のデータ信号線駆動回路の要部の、他のレイアウトを示すブロック図である。

【図 19】

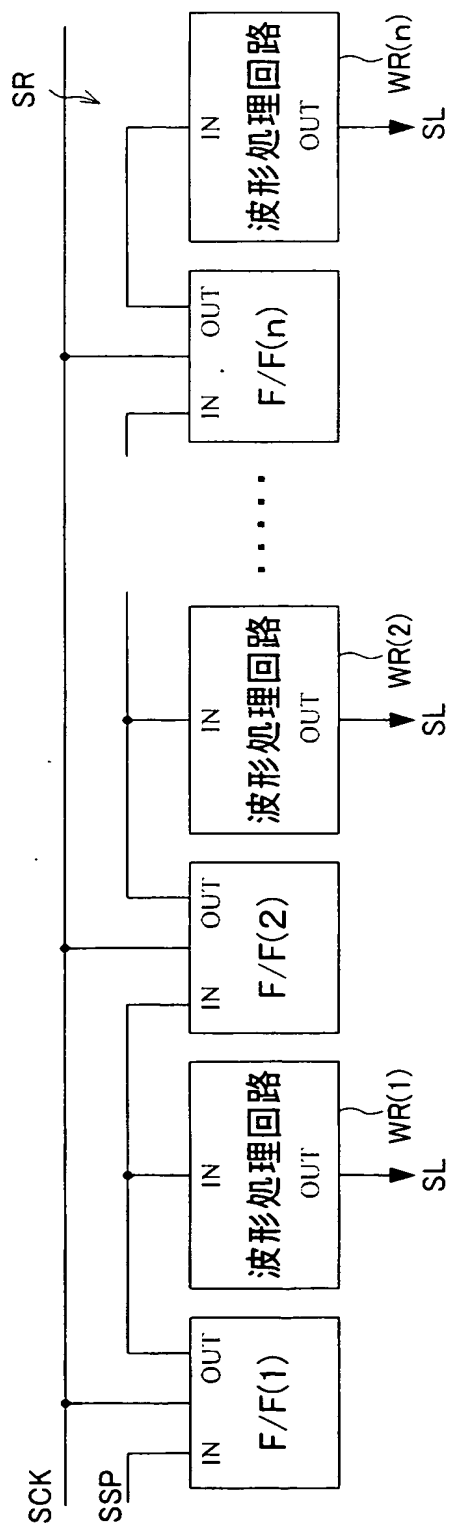
画素アレイの相展開して駆動する場合の、相展開数と必要な回路ブロック数と回路ブロックの配置に割り当てられるスペースとの関係を説明する図である。

【符号の説明】

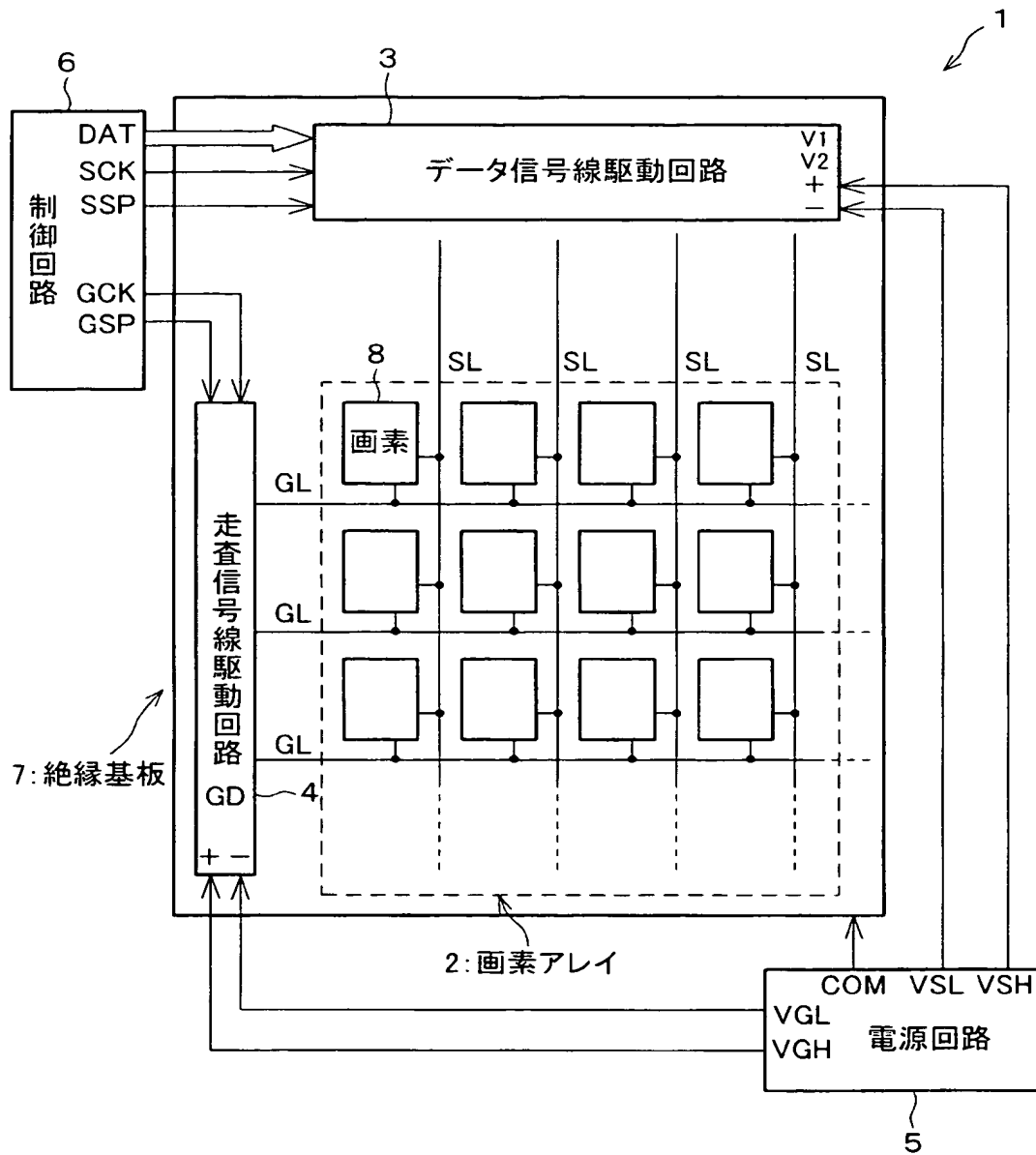
- 1 画像表示装置（表示装置）
- 2 画素アレイ
- 3 データ信号線駆動回路（信号線駆動回路）
- 4 走査線駆動回路（信号線駆動回路）
- 7 絶縁基板
- 8 画素
- 14 サンプリング回路（サンプリング部）
- 15 データラッチ回路部（サンプリング部）
- F/F フリップフロップ（単位回路）
- GL 走査信号線
- SL データ信号線
- SR シフトレジスタ
- SR1 第1系列のシフトレジスタ
- SR2 第2系列のシフトレジスタ
- WR 波形処理回路（処理回路）

【書類名】 図面

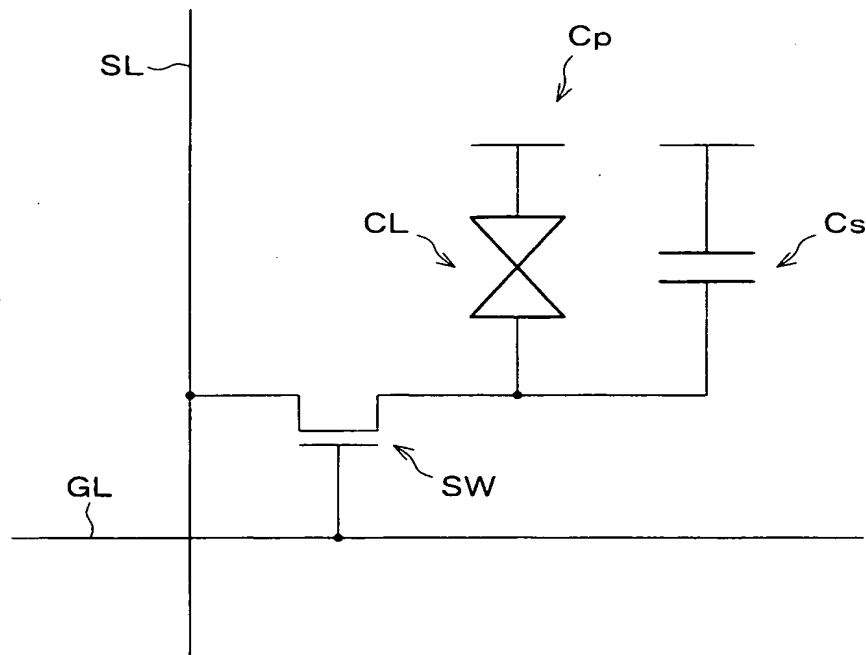
【図 1】



【図 2】

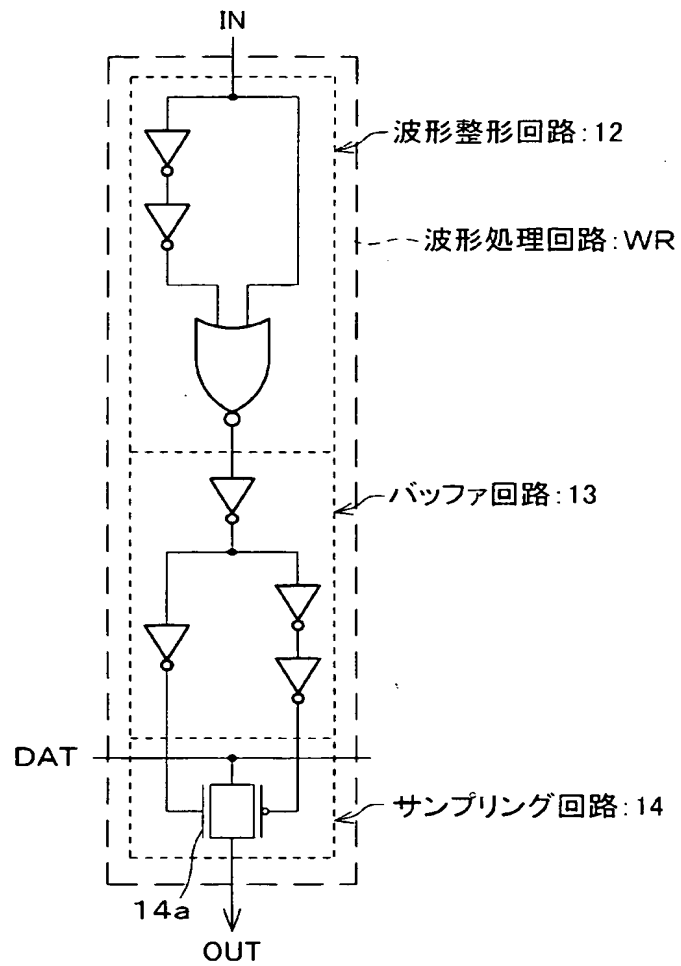


【図 3】

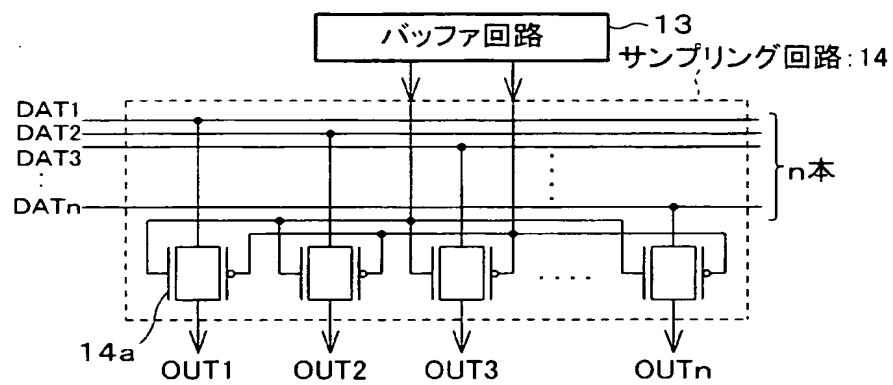


【図 4】

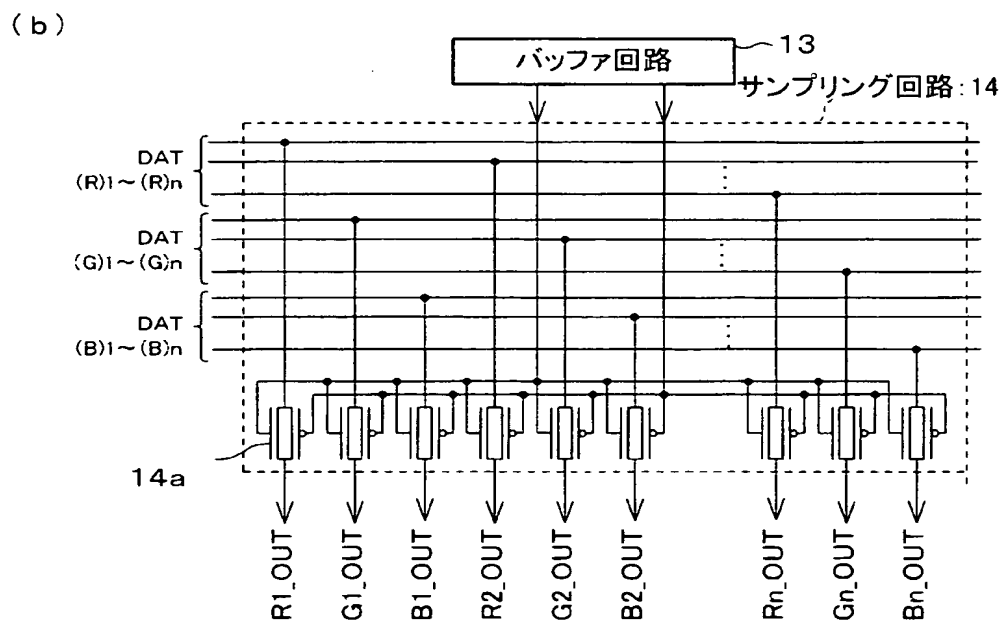
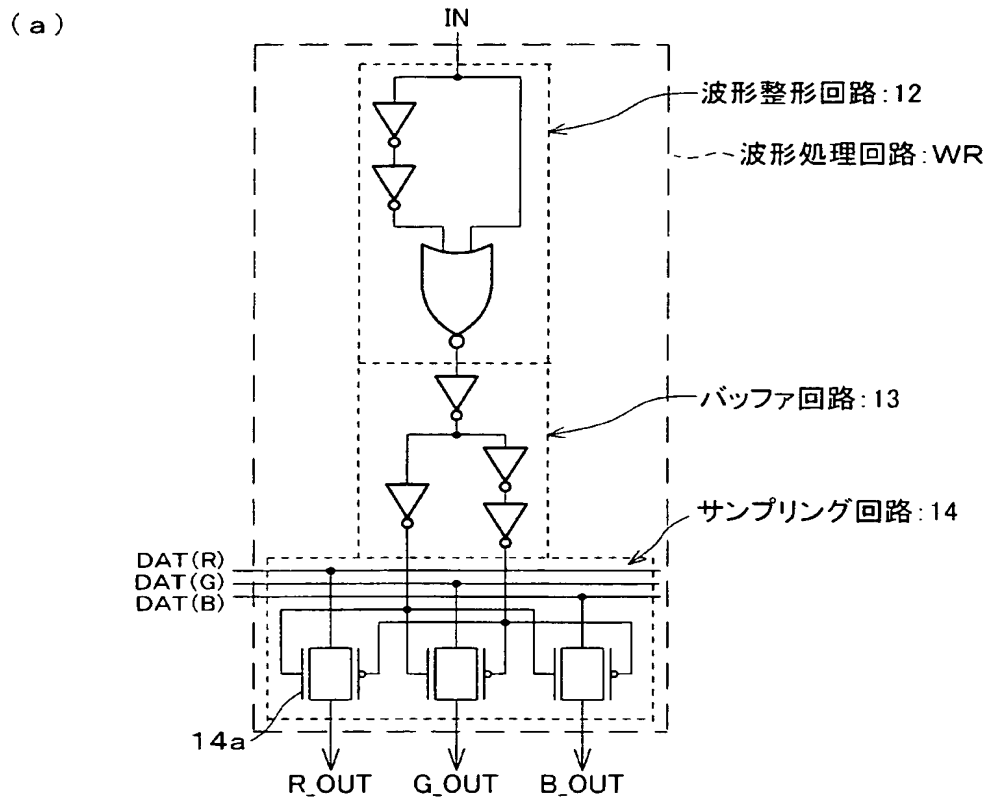
(a)



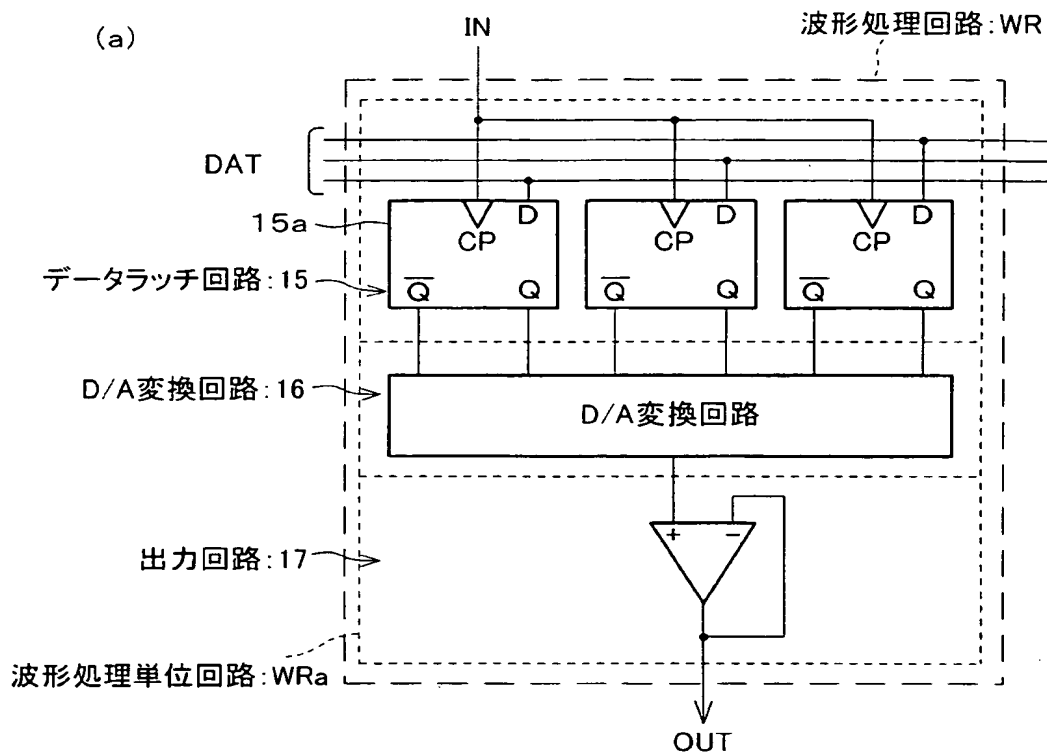
(b)



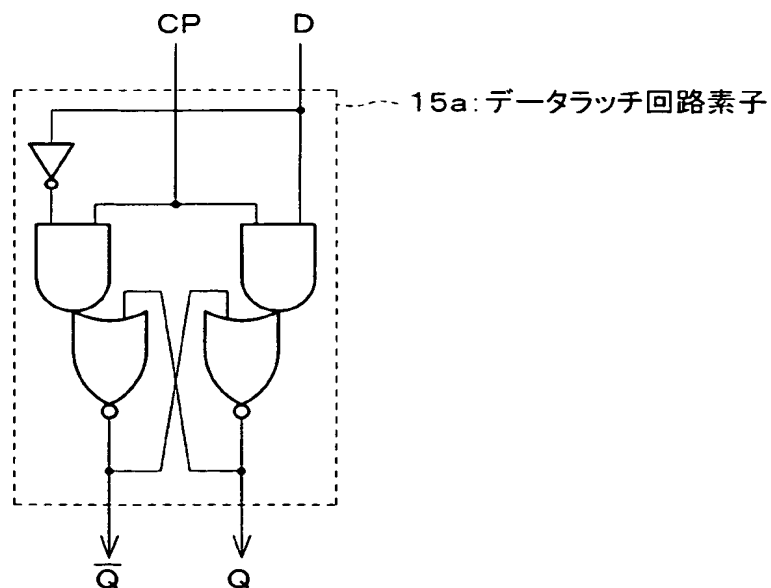
【図 5】



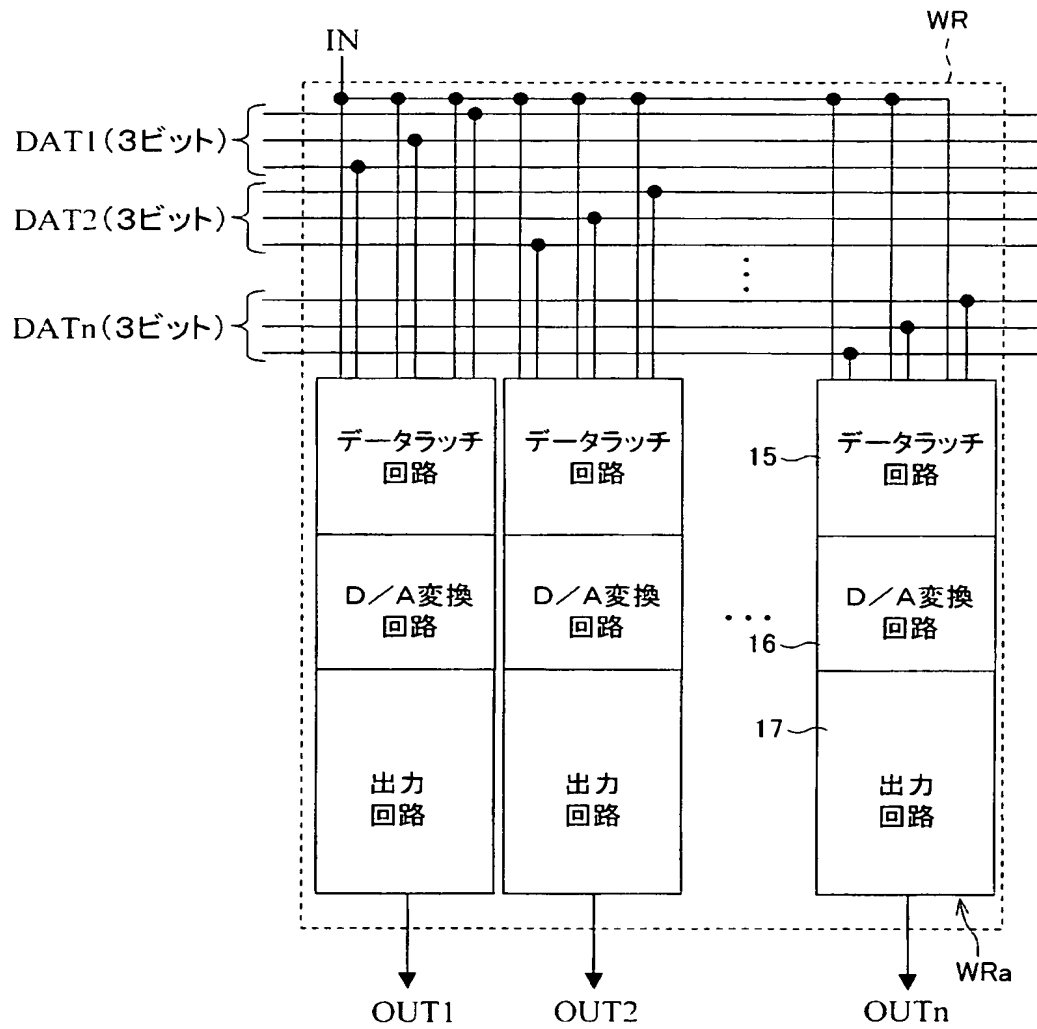
【図 6】



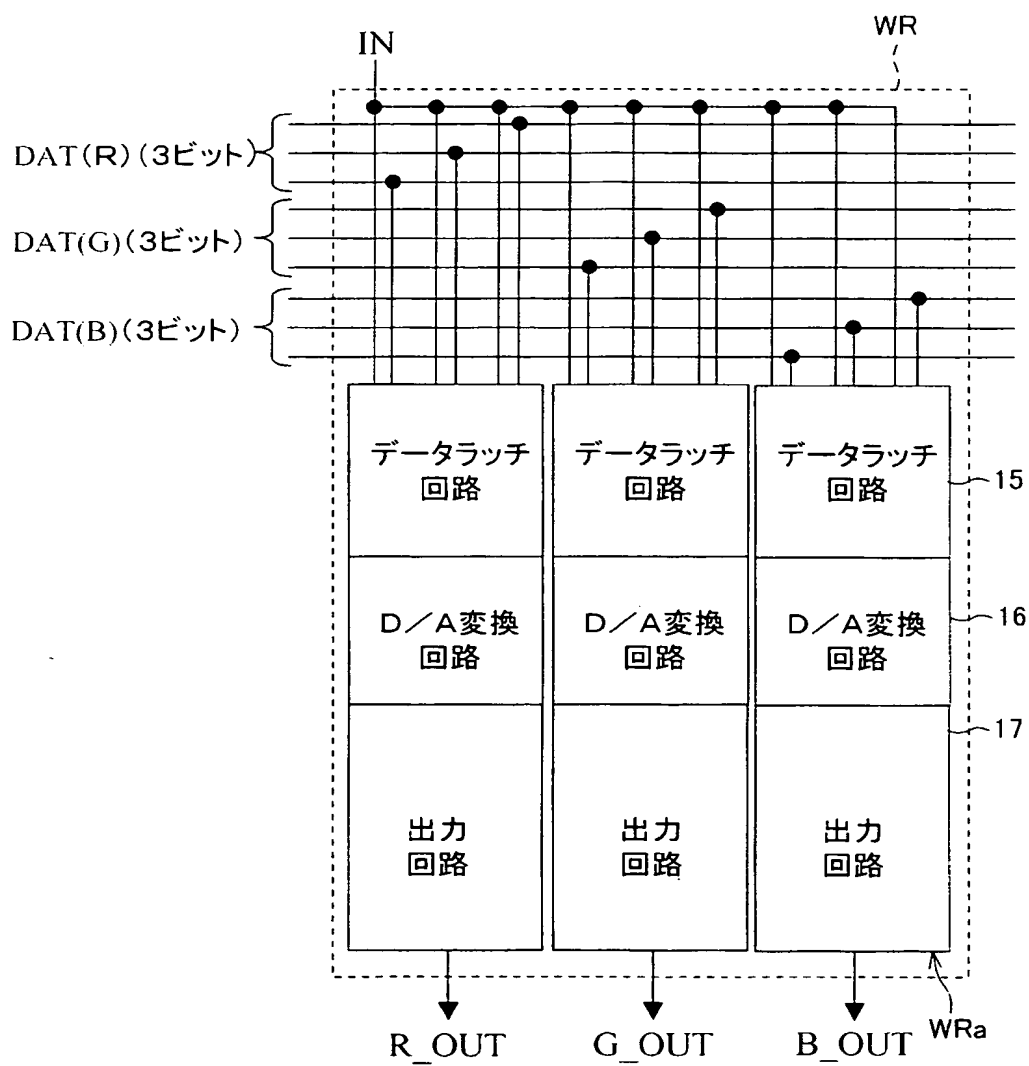
(b)



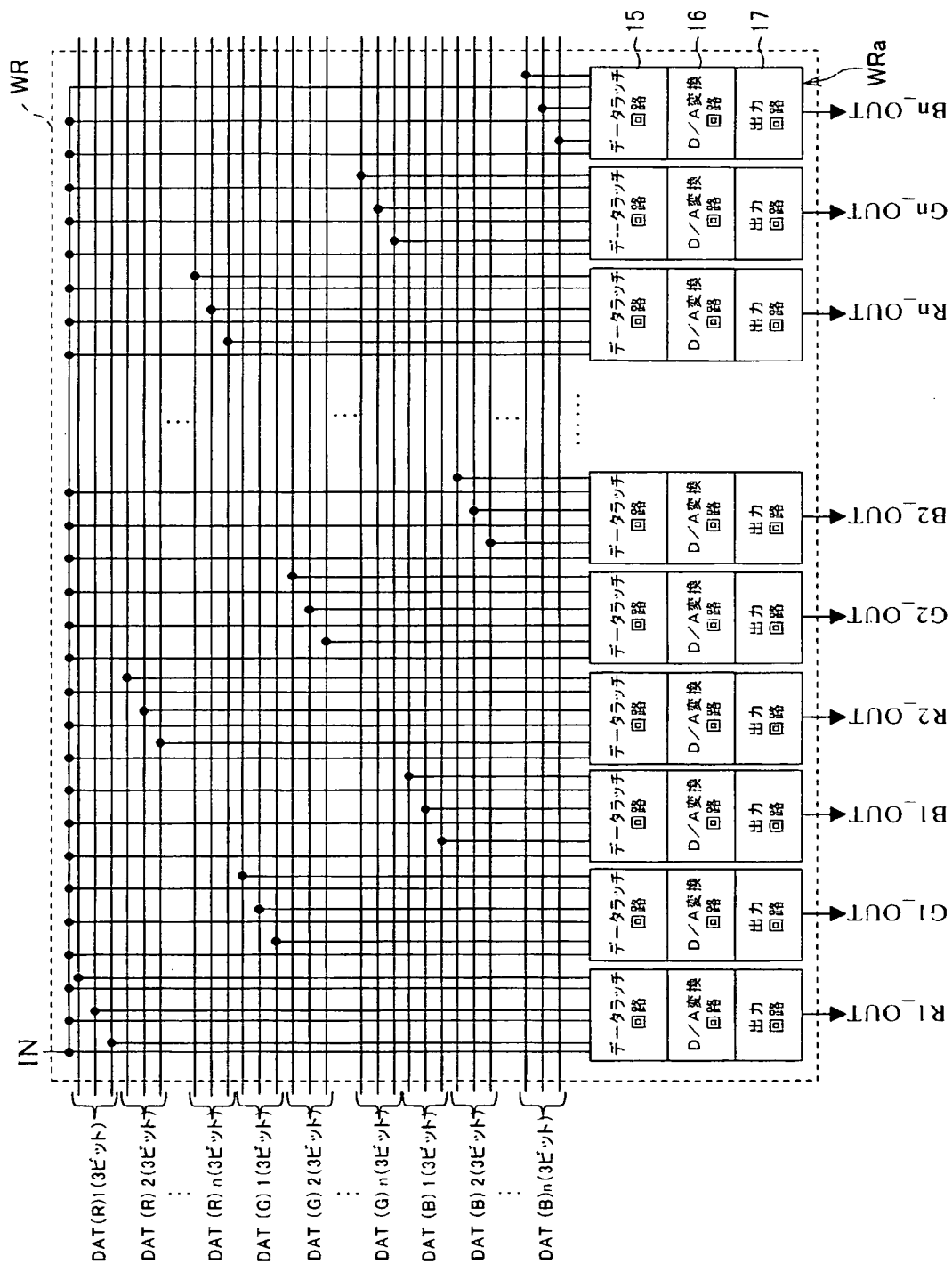
【図 7】



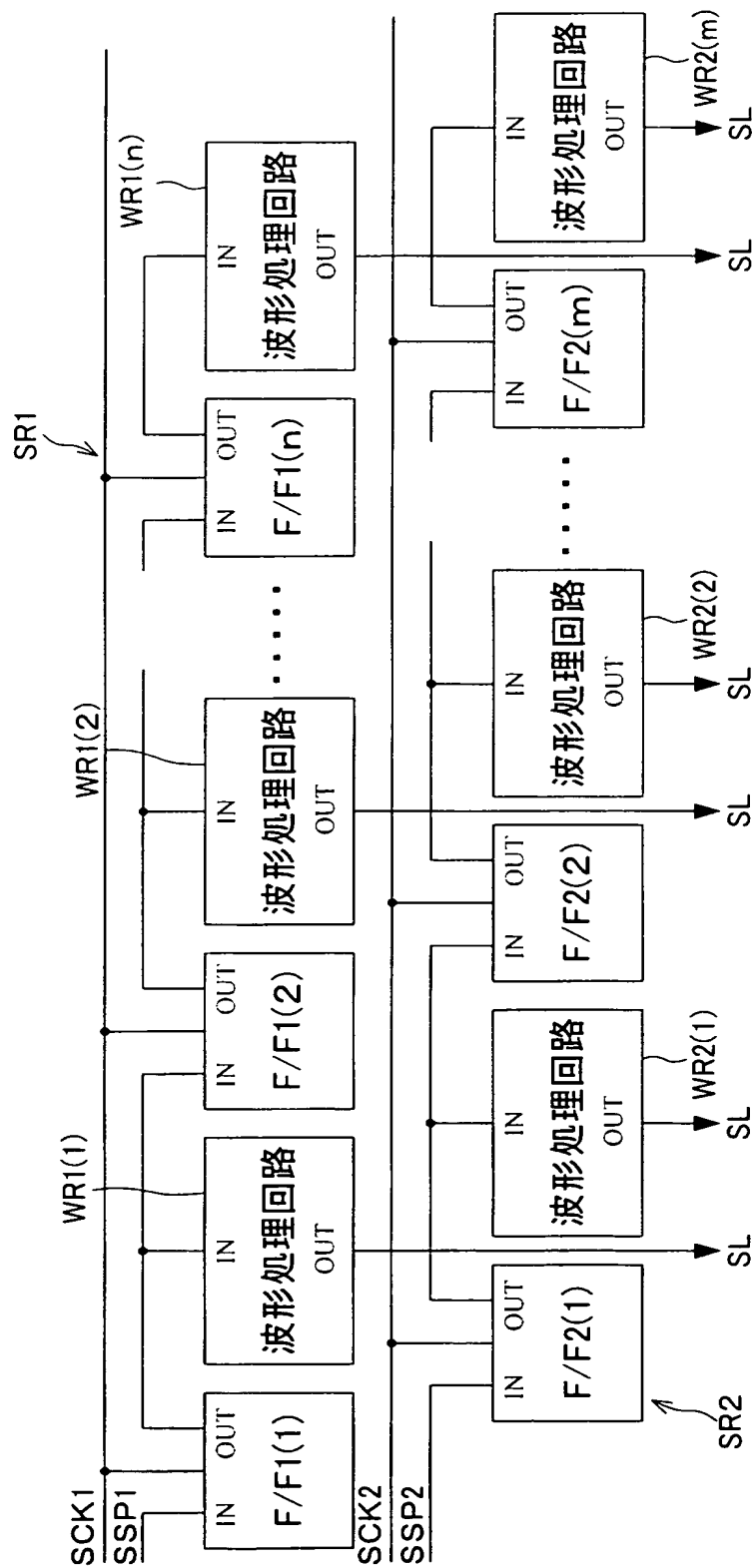
【図 8】



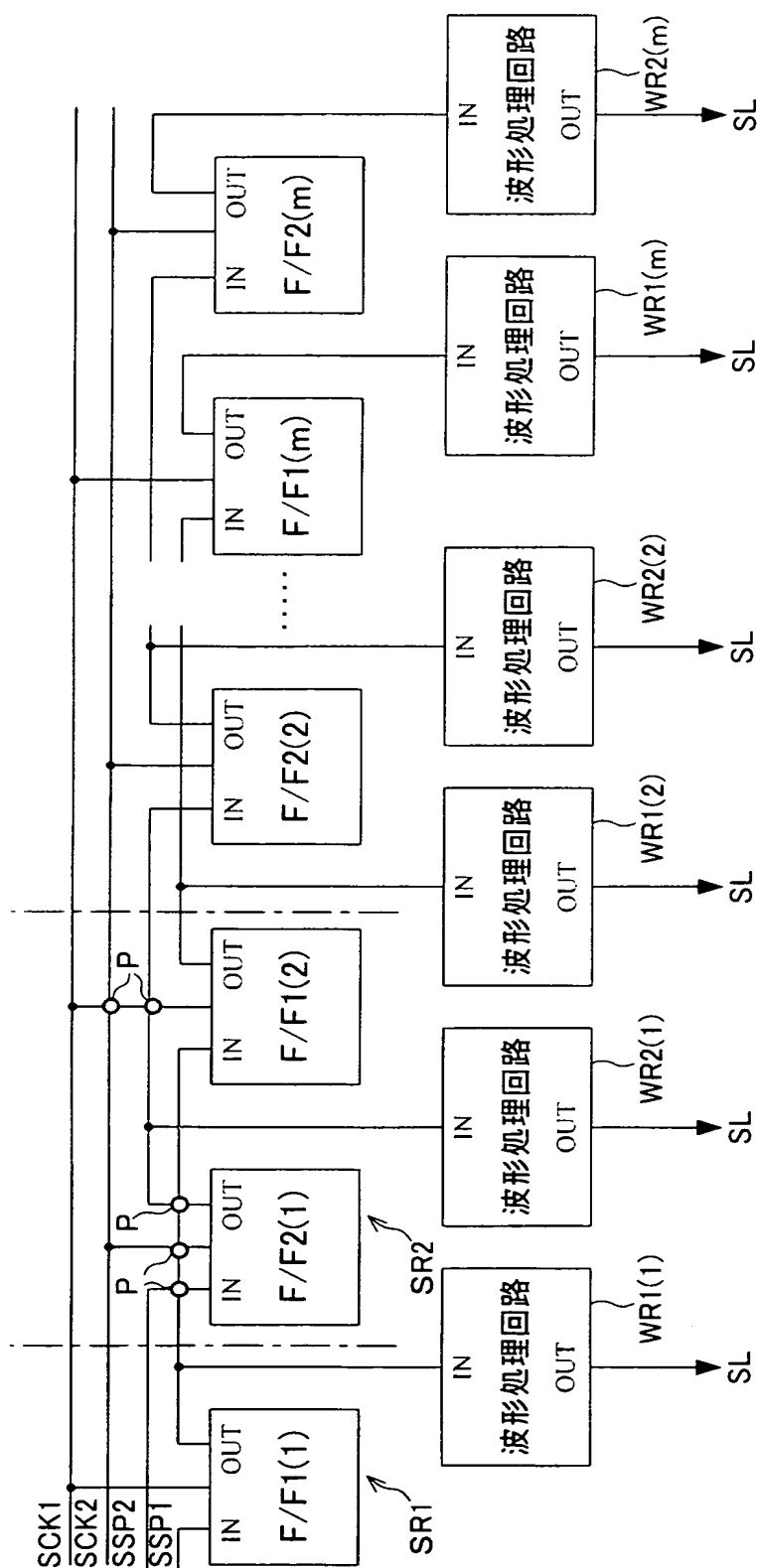
【図 9】



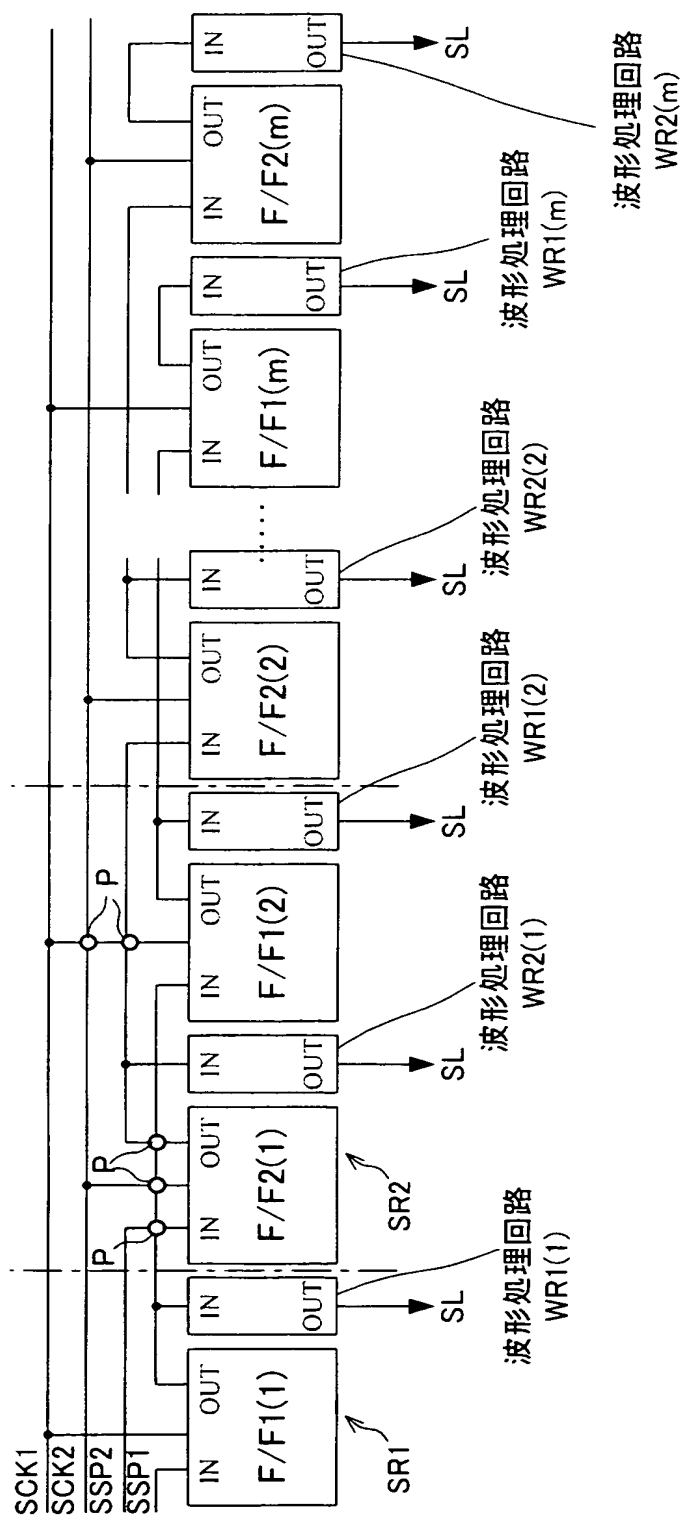
【図 10】



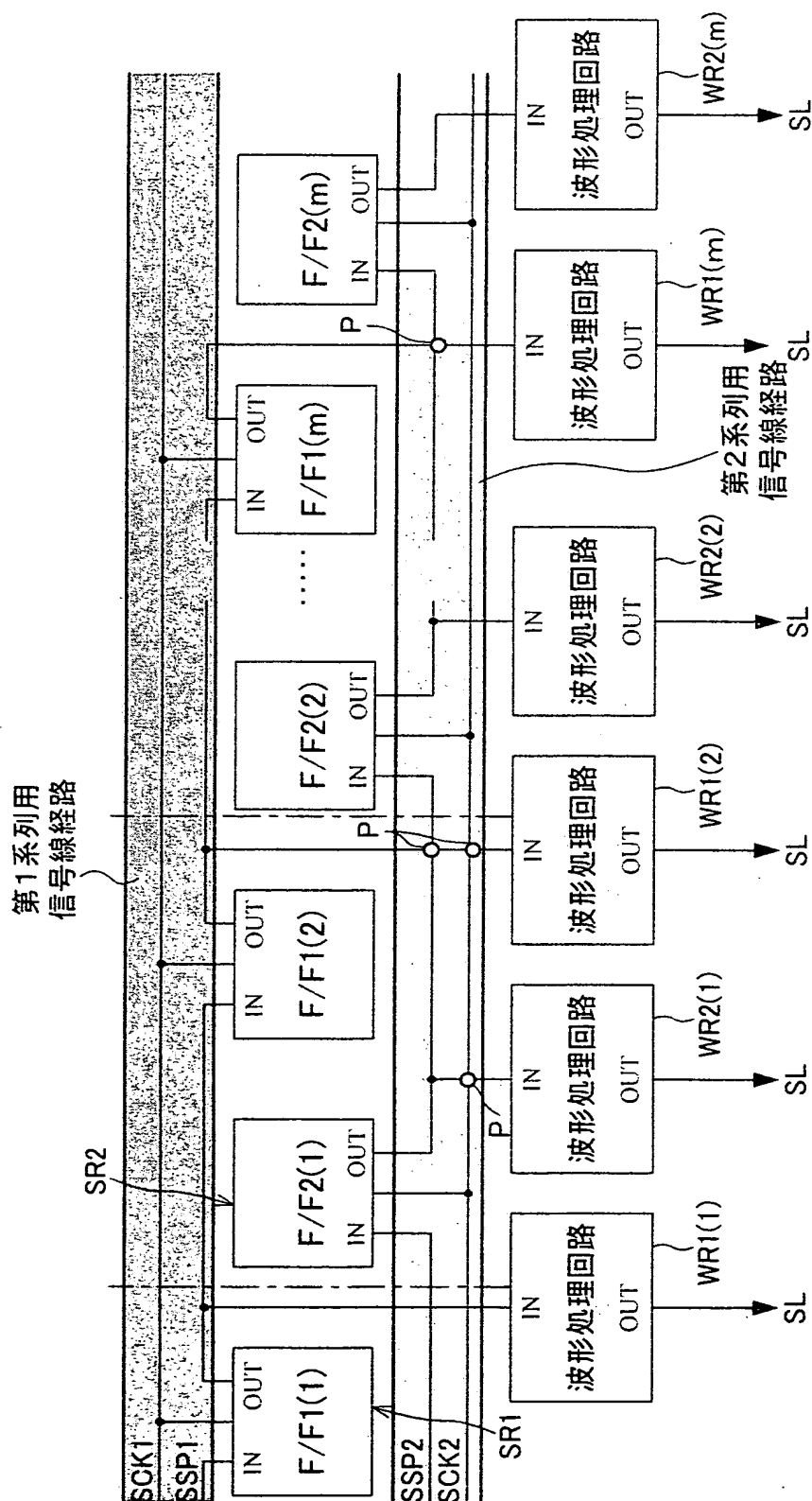
【図 11】



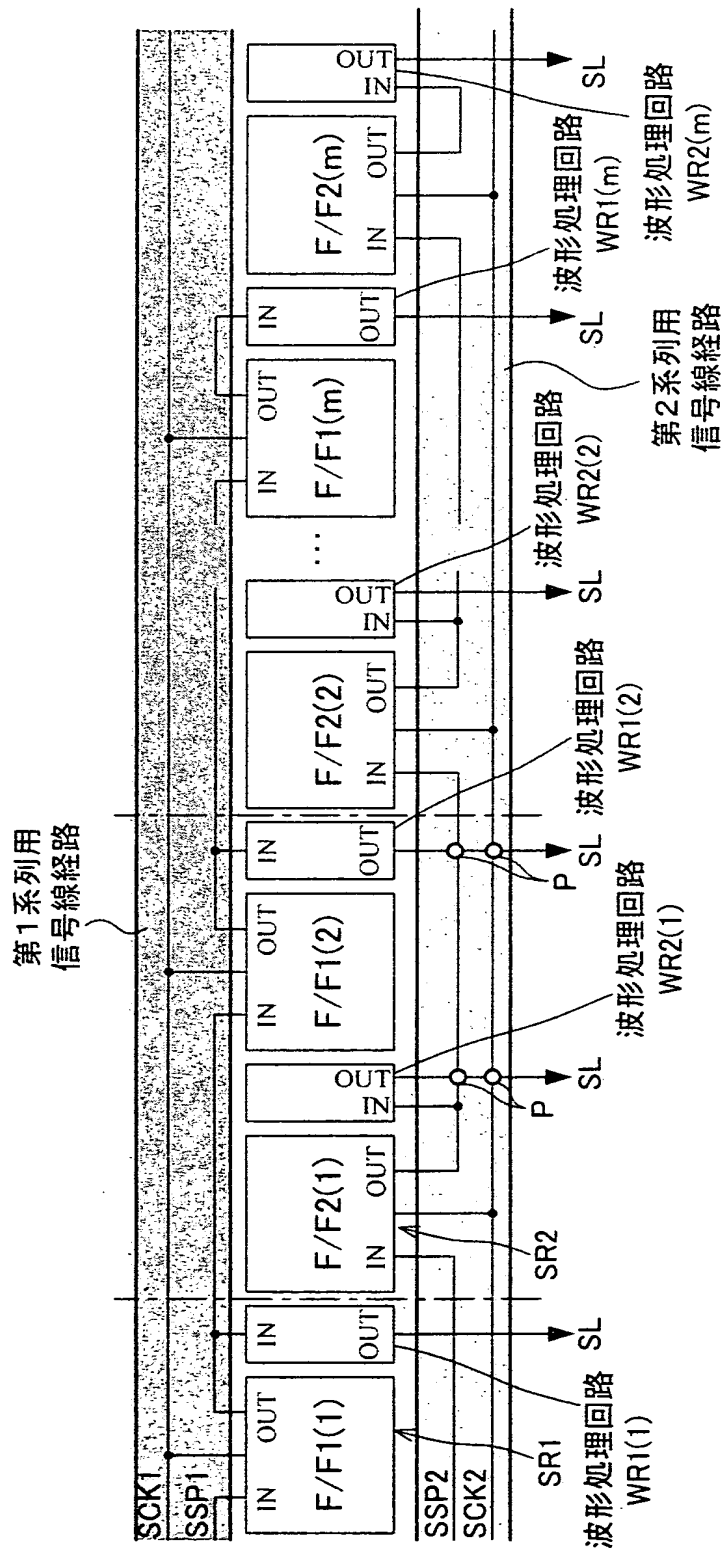
【図 12】



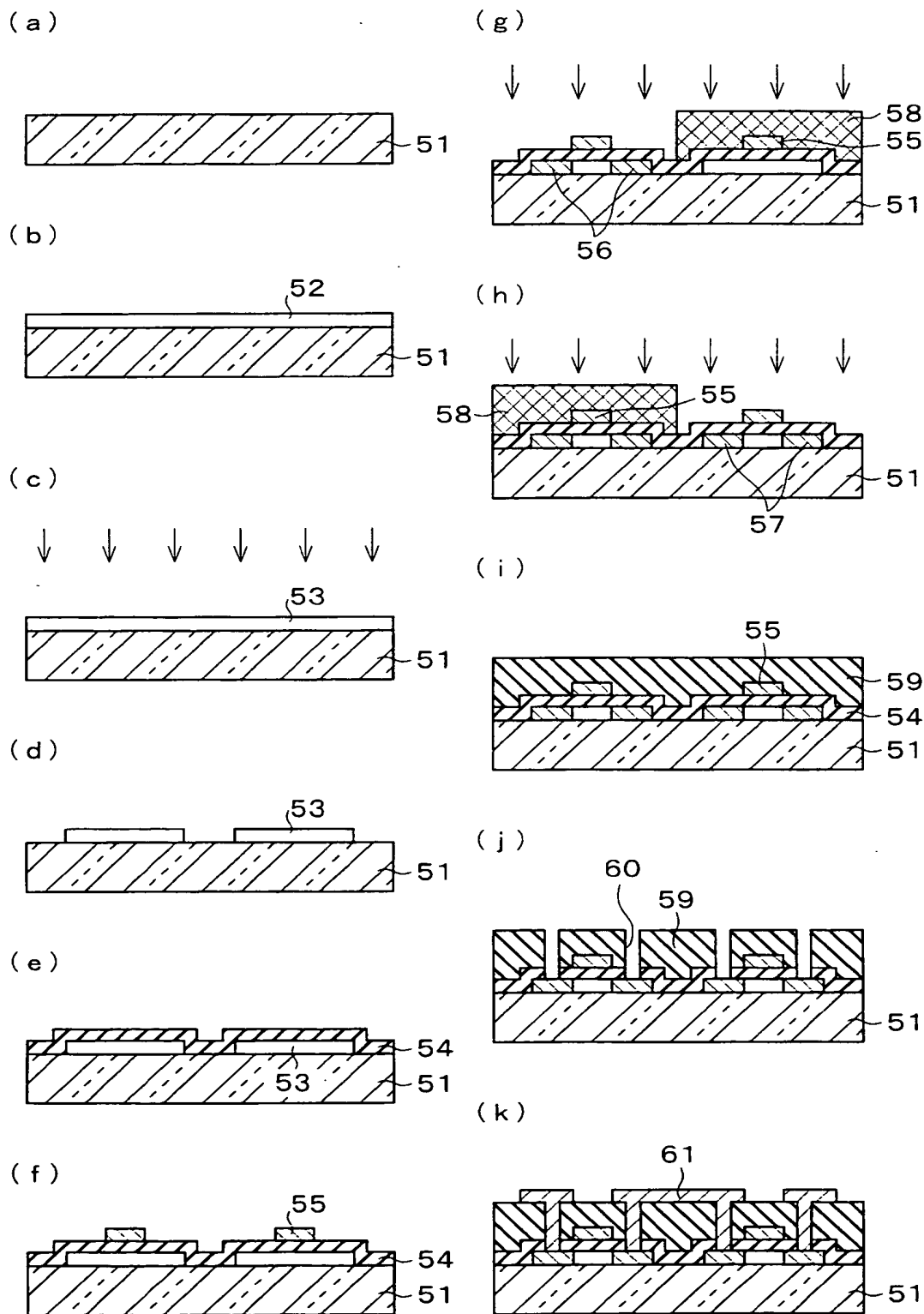
【図 13】



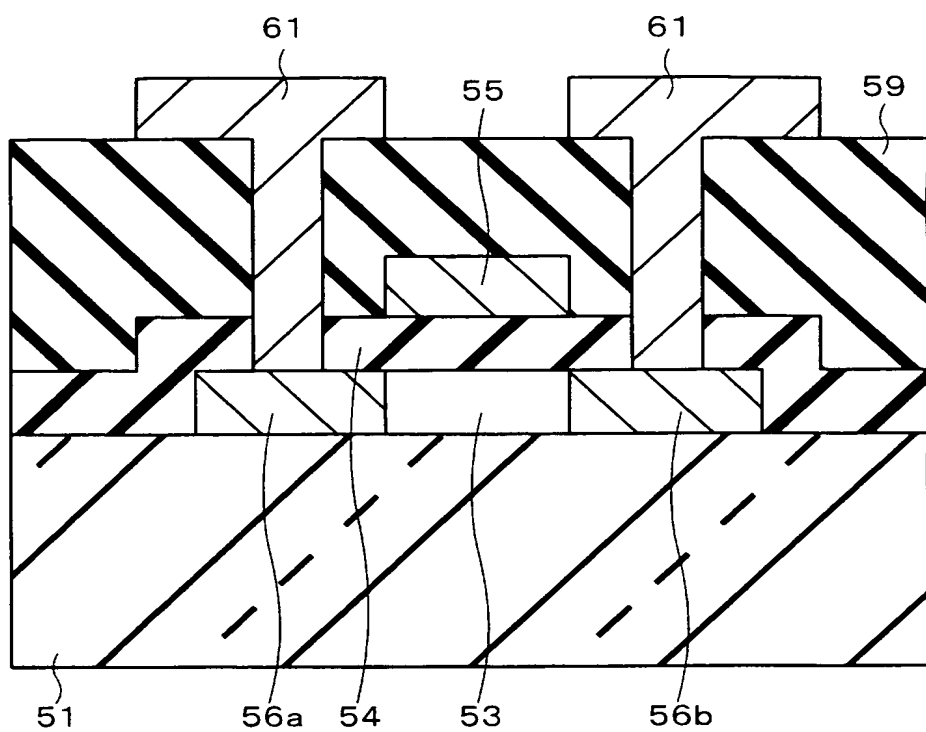
【図 14】



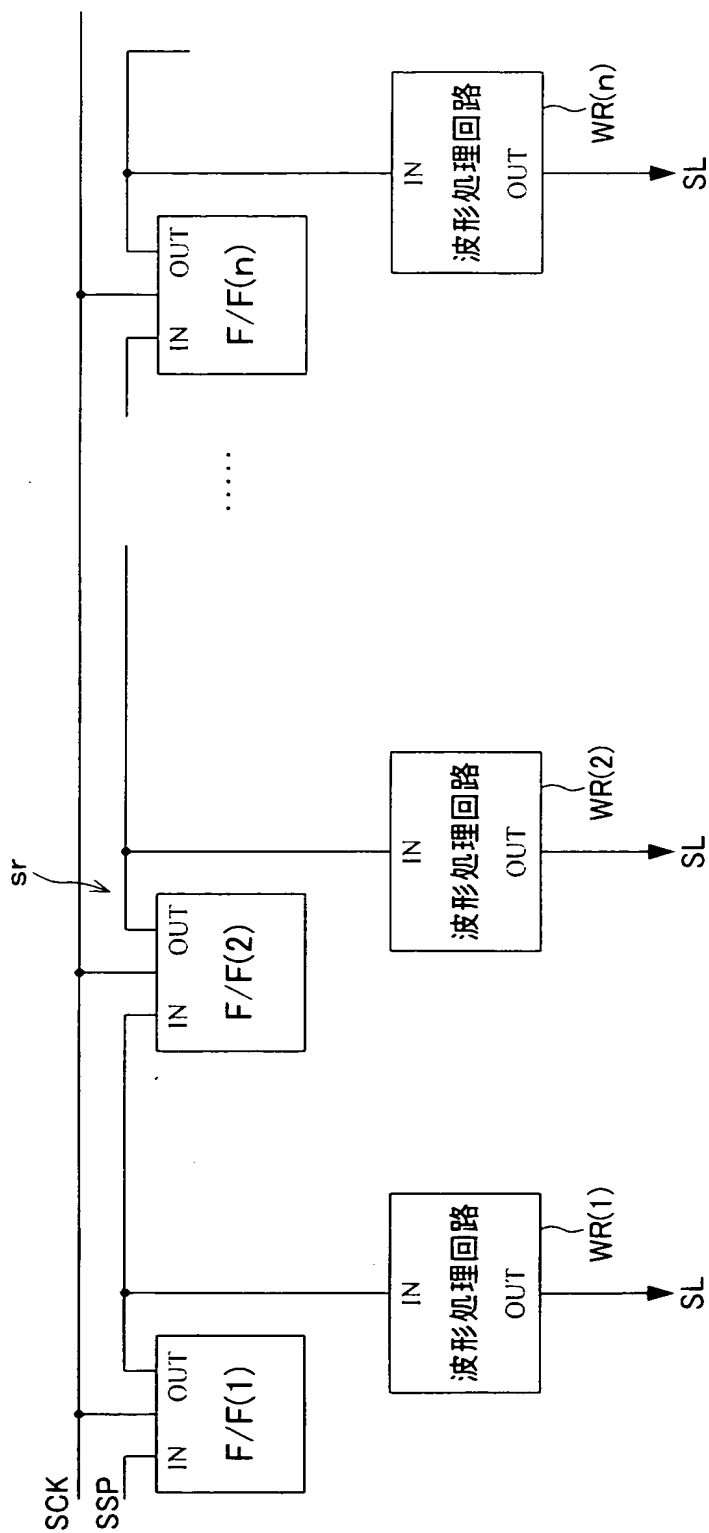
【図 15】



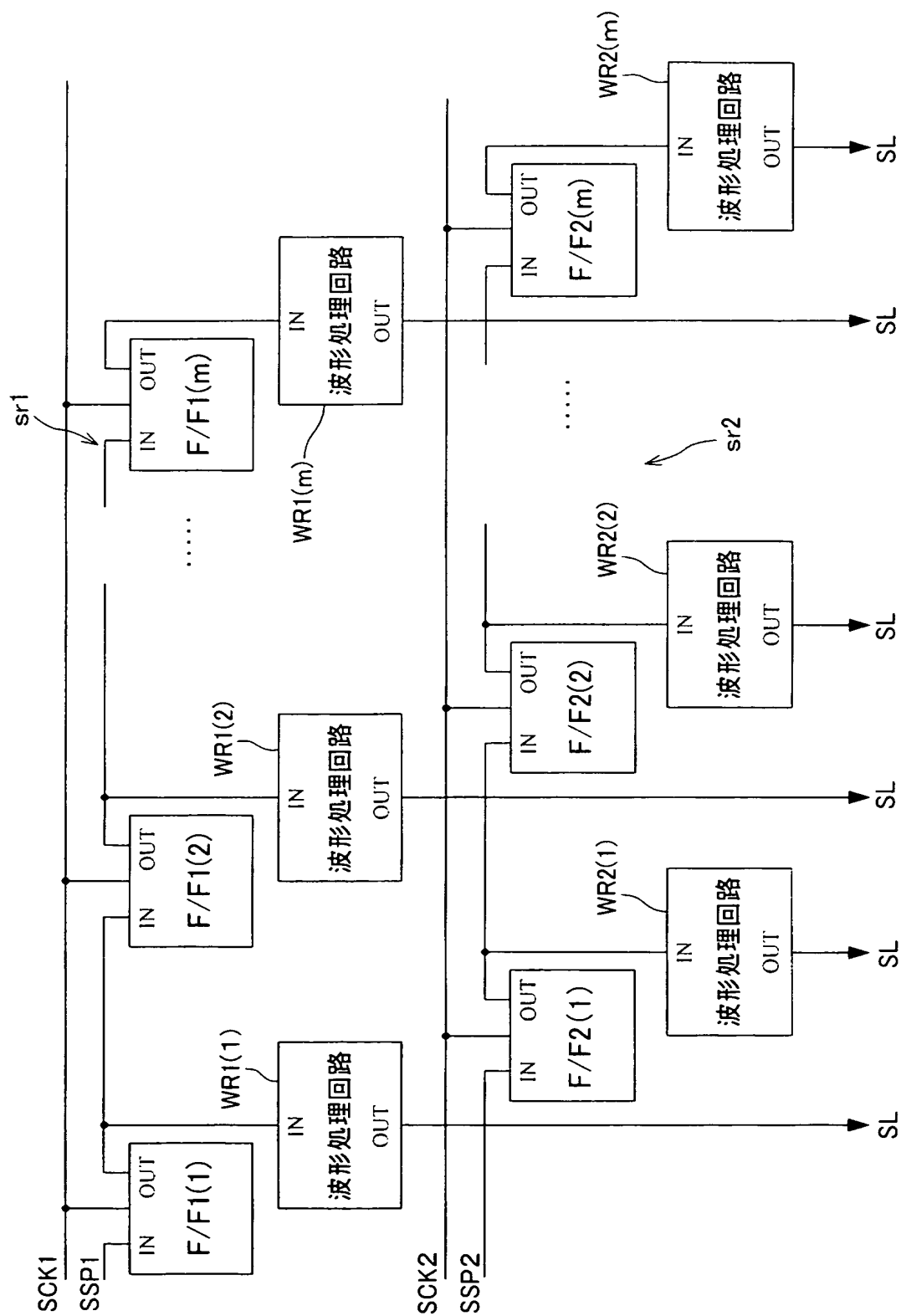
【図 16】



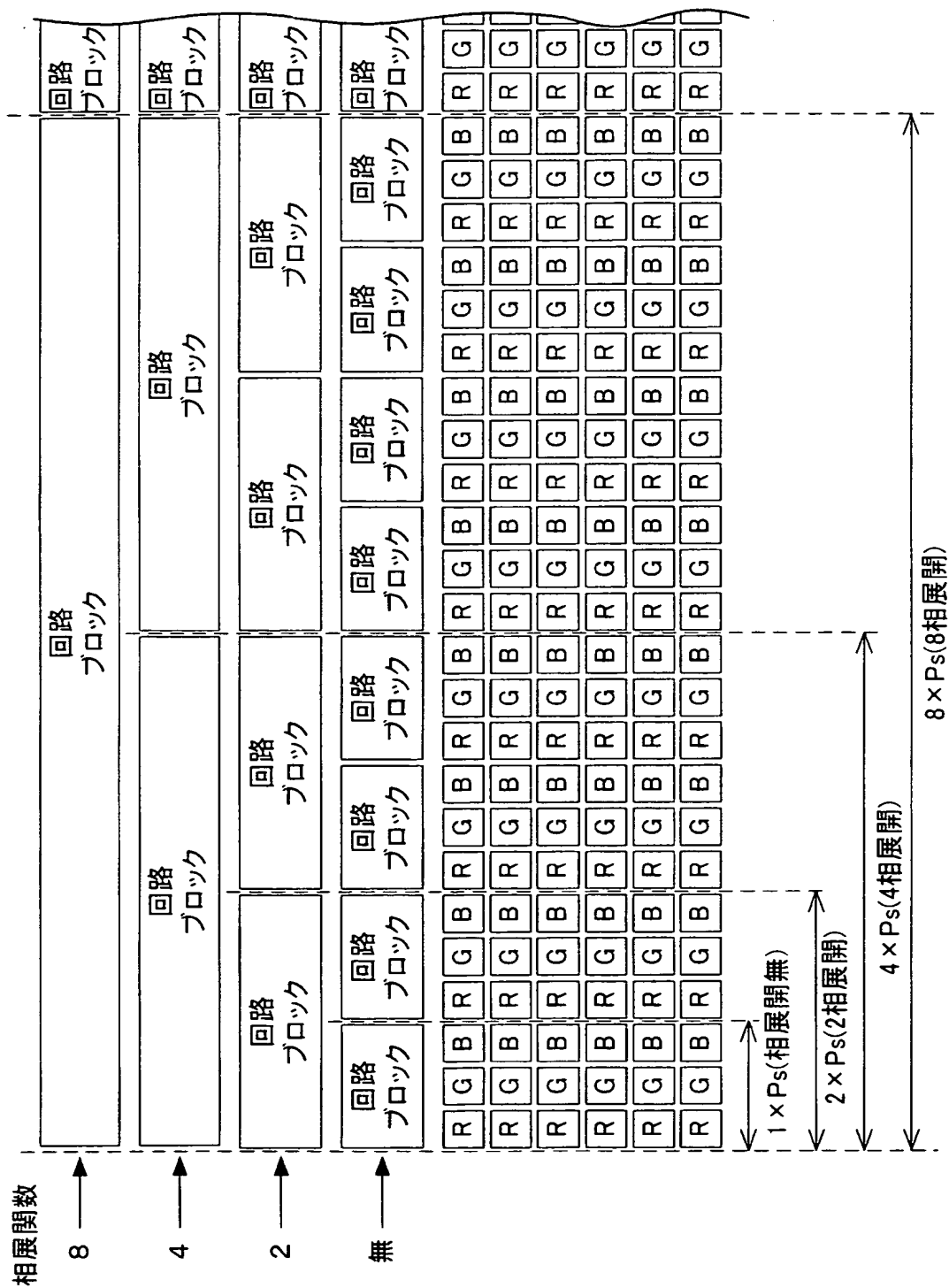
【図 17】



【図 18】



【図 19】



【書類名】 要約書

【要約】

【課題】 信号線駆動回路における回路のレイアウトを工夫することで、表示装置の額縁部をより狭くする。

【解決手段】 データ信号線駆動回路のシフトレジスタ S R では、縦続接続された複数のフリップフロップ $F/F(1) \cdot F/F(2) \cdots F/F(n)$ における各フリップフロップ F/F 間に、シフトレジスタ S R からの出力信号が順次入力される波形処理回路 $W R(1) \sim W R(n)$ のうち、対応するものが 1 つずつ配置され、シフトレジスタ S R と波形処理回路 $W R(1) \sim W R(n)$ とが、一直線状に並んでいる。

【選択図】 図 1

特願 2 0 0 2 - 3 4 0 0 4 4

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 0 4 9]

1. 変更年月日	1 9 9 0 年 8 月 2 9 日
[変更理由]	新規登録
住 所	大阪府大阪市阿倍野区長池町 2 2 番 2 2 号
氏 名	シャープ株式会社